

JP2003243534 A
SEMICONDUCTOR DEVICE
HITACHI LTD

Inventor(s): ;MATSUI YUICHI ;HIRATANI MASAHIKO

Application No. 2002036129 JP2002036129 JP, Filed 20020214, A1 Published
20030829 Published 20030829

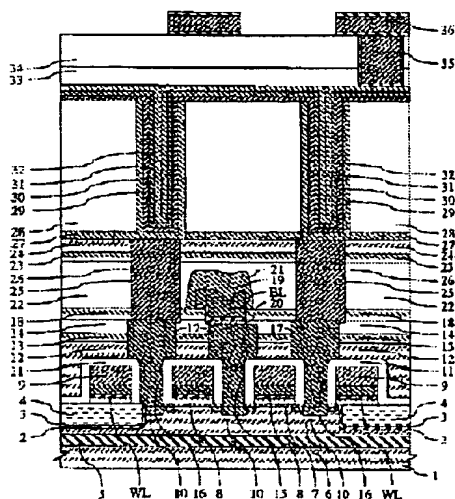
Abstract: PROBLEM TO BE SOLVED: To solve, with respect to the structure and the manufacturing method of a semiconductor capacitor memory, especially the same of the capacitor using niobium pentoxide, the problem that, since the crystallization

temperature of niobium pentoxide is low below 600 - C, oxidations of the lower

electrode and barrier metal of the capacitor caused by its heat treatment can be suppressed, and in its heat treatment performed at a low temperature, carbon entrapped in its films from its CVD materials is so hard to be removed by its oxidations as to increase its leakage current.

SOLUTION: As an insulator film of the capacitor, there are used the lamination film of a niobium pentoxide film and a tantalum pentoxide film, or the lamination film of the niobium pentoxide films. By using the niobium pentoxide film, an increase in the dielectric constant of the insulator film and a decrease in its crystallization temperature can be achieved. Also, by forming a multi- staged dielectric film, the leakage current of the capacitor can be suppressed.

[1]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-243534

(P2003-243534A)

(43) 公開日 平成15年8月29日 (2003.8.29)

(51) Int.Cl.⁷

識別記号

F I

テームコード^{*} (参考)

H 0 1 L 21/8242

H 0 1 L 21/316

M 5 F 0 3 8

21/316

27/10

6 5 1

5 F 0 4 8

21/822

6 2 1 C

5 F 0 5 8

21/8234

29/78

3 0 1 G

5 F 0 8 3

27/04

27/06

1 0 2 A

5 F 1 4 0

審査請求 未請求 請求項の数15 ○ L (全 24 頁) 最終頁に続く

(21) 出願番号

特願2002-36129 (P2002-36129)

(22) 出願日

平成14年2月14日 (2002.2.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 松井 裕一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 平谷 正彦

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体装置

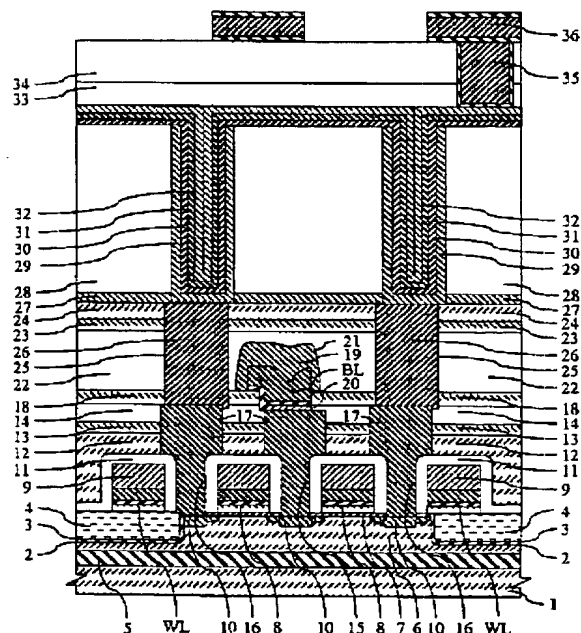
(57) 【要約】

【課題】 本発明は、半導体容量記憶装置の、特に五酸化ニオブを用いたキャパシタの構造とその形成方法に関する。五酸化ニオブは、結晶化温度が600℃以下と低いため、熱処理による下部電極およびバリア金属の酸化を抑制できる。しかし、低温の熱処理では、CVD原料から膜中に混入する炭素を酸化除去しにくい、リーク電流が増大してしまうという課題があった。

【解決手段】 キャパシタの絶縁体膜として、五酸化ニオブ膜と五酸化タンタル膜の積層膜もしくは五酸化ニオブ膜の積層膜を用いる。

【効果】 五酸化ニオブ膜を用いることにより、高誘電率化と結晶化温度の低温化を実現することができる。また、誘電体膜の多段階形成により、リーク電流を低減することができる。

図1



【特許請求の範囲】

【請求項 1】第 1 の電極と、誘電体膜と、第 2 の電極とからなるキャパシタを有する半導体装置であって、該誘電体膜は、五酸化ニオブ膜又は、五酸化タンタルと五酸化ニオブとの混合物からなる膜のいずれかによる第 1 の膜と、五酸化タンタル膜又は、五酸化ニオブ膜又は、五酸化タンタルと五酸化ニオブの混合物からなる膜のいずれかによる第 2 の膜との積層膜とを含み、該第 1 の膜は該第 1 の電極側にあることを特徴とする半導体装置。

【請求項 2】第 1 の電極と、誘電体膜と、第 2 の電極とからなるキャパシタを有する半導体装置であって、該誘電体膜は、五酸化ニオブ膜からなる第 1 の膜と該第 1 の膜上に形成された五酸化タンタル膜からなる第 2 の膜との積層膜とを含み、該第 1 の膜は該第 1 の電極側にあることを特徴とする半導体装置。

【請求項 3】第 1 の電極と、誘電体膜と、第 2 の電極とからなるキャパシタを有する半導体装置であって、該誘電体膜は、五酸化ニオブ膜からなる第 1 の膜と該第 1 の膜上に形成された五酸化ニオブ膜からなる第 2 の膜との積層膜とを含み、該第 1 の膜は該第 1 の電極側にあることを特徴とする半導体装置。

【請求項 4】第 1 の電極と、誘電体膜と、第 2 の電極とからなるキャパシタを有する半導体装置であって、該誘電体膜は、五酸化タンタルと五酸化ニオブとの混合物からなる第 1 の膜と該第 1 の膜上に形成された五酸化タンタルと五酸化ニオブの混合物からなる第 2 の膜との積層膜とを含み、該第 1 の膜は該第 1 の電極側にあることを特徴とする半導体装置。

【請求項 5】前記第 1 の膜と前記第 2 の膜は、ほぼ同じ五酸化タンタルと五酸化ニオブの組成比で構成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】前記第 1 の膜は、前記第 1 の電極上に形成された後に熱処理された膜であり、前記第 2 の膜は、該熱処理された第 1 の膜の上に形成された後に熱処理された膜であることを特徴とする請求項 1 から請求項 5 に記載の半導体装置。

【請求項 7】前記誘電体膜を構成する前記第 1 又は前記第 2 の膜のうち、いずれかは、その膜厚が 5 nm 以下であることを特徴とする請求項 1 から請求項 6 に記載の半導体装置。

【請求項 8】前記第 2 の電極は窒化チタンからなることを特徴とする請求項 1 から請求項 7 に記載の半導体装置。

【請求項 9】前記第 1 の電極は多結晶シリコンからなることを特徴とする請求項 1 から請求項 8 に記載の半導体装置。

【請求項 10】前記第 1 の膜におけるニオブに対するタンタルの組成比は 40 原子パーセント以下であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】前記第 1 の電極表面には、粒状のシリコ

ン結晶による凹凸が形成されていることを特徴とする請求項 9 及び請求項 10 に記載の半導体装置。

【請求項 12】前記第 1 の電極はルテニウム、白金、銅のいずれかからなることを特徴とする請求項 1 から請求項 8 に記載の半導体装置。

【請求項 13】前記第 1 の膜におけるニオブに対するタンタルの組成比は 90 原子パーセント以下であることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】前記キャパシタは、ルテニウムからなる第 1 の電極と多結晶シリコンからなるプラグを、窒化チタン、アルミを添加した窒化チタン、窒化タンタル、シリコンを添加した窒化タンタルのいずれかからなるバリアメタルを介して電気的に接続していることを特徴とする請求項 1 から請求項 8 及び請求項 13 に記載の半導体装置。

【請求項 15】前記半導体装置は、メモリ、ロジック回路、アナログ回路の何れかを含むことを特徴とする請求項 1 から請求項 14 に記載の半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特にキャパシタを有する半導体装置、例えば DRAM (Dynamic Random Access Memory)、及びその製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置の高集積化等のために、キャパシタ誘電体膜材料としてこれまで使用されてきたシリコン酸化膜（比誘電率：約 4）やシリコン窒化膜（比誘電率：約 7）の代わりに、比誘電率が数十と大きい五酸化タンタル膜を採用することが知られている（例えば、特開平 8-139288）。

【0003】その五酸化タンタル誘電体膜を有するキャパシタを製造する方法として、キャパシタ下部電極上に五酸化タンタル膜を形成後、熱処理を行ってその膜を結晶化し、その上にキャパシタ上部電極を形成する方法がある。五酸化タンタル膜を熱処理する理由は、結晶化されると誘電率が大きくなる五酸化タンタルの特性を利用し、静電容量の大きなキャパシタを得るためである。しかし、この製造方法において、五酸化タンタル膜を十分に結晶化させるためには、750℃以上の高温での熱処理が必要となってしまうことが知られている（例えば、特開 2000-12796）。以下、誘電体膜を結晶化するために行う熱処理の温度を結晶化熱処理温度という。

【0004】

【発明が解決しようとする課題】結晶化に比較的高温である 750℃以上での熱処理が必要とされることによる問題点を説明する前に、キャパシタの構造について説明しておく。

【0005】五酸化タンタル膜を誘電体に用いるキャパシタは、多結晶シリコン膜を下部電極に用いるMIS (Metal-Insulator-Semiconductor) 構造と、金属膜を下部電極に用いるMIM (Metal-Insulator-Metal) 構造に大別される。MIS構造とMIM構造の違いとして、下部電極材料が異なる点に加え、MIM構造においてはバリアメタルが必要となる点があげられる。バリアメタルは、下部電極と下部電極に接続されるプラグの間に形成され、下部電極とプラグの反応を防ぐために必要なものである。プラグと下部電極が反応してしまうと、電気的導通に悪影響を与えてしまう。バリアメタルの例として、多結晶シリコンからなるプラグとルテニウムからなる下部電極との間に形成される窒化チタンがあげられる。

【0006】ここから、五酸化タンタル絶縁膜を形成するプロセス上において、結晶化に比較的高温である750℃以上での熱処理が必要とされることの問題点について説明する。MIS構造においては、この熱処理によって下部電極のシリコンが酸化され、キャパシタ容量が低下してしまう。その理由は、シリコンはタンタルよりも熱力学的に酸化されやすいため、五酸化タンタルの結晶化熱処理中にシリコンが五酸化タンタル膜を還元する結果、比誘電率の小さいシリコン酸化膜が形成されてしまうからである。このキャパシタ容量低下の問題は、シリコンの酸化防止のために、下部電極界面にシリコン窒化膜を形成した場合においても発生する。なぜなら、同様の理由により、シリコン窒化膜が酸化してしまい、キャパシタ容量の低下を招くからである。また、MIM構造においては、金属電極自身に酸化の問題がないとしても、電極中を拡散した酸素によって、バリアメタルが酸化される結果、電気的導通が損なわれてしまう。その理由は、例えば下部電極がルテニウムである場合、ルテニウムは酸素透過性が良く、五酸化タンタル膜の形成過程で下部電極中に酸素が溶存してしまうため、後の誘電体膜の結晶化熱処理中に、この溶存酸素によってバリアメタルが酸化されてしまうからである。

【0007】これらMIS構造、MIM構造における各々の問題は、結晶化熱処理時の雰囲気には依存しない。五酸化タンタル膜を用いたキャパシタの形成に際して、酸素雰囲気中で熱処理を行うことがあるが、この酸化熱処理温度を低温化することで、下部電極及びバリアメタルの酸化を抑制できたとしても、結晶化温度を低温化できなければ問題点の根本的な解決策にはならない。

【0008】キャパシタ誘電体膜として五酸化タンタルを用いる以上、その結晶化温度を750℃以下に低温化することは極めて困難である。なお、酸素雰囲気中で行う熱処理には、キャパシタ誘電体膜中の酸素欠損を修復するために酸化雰囲気中で行う熱処理あるいは、CVD (Chemical Vapor Deposition)

n) 法等により形成されたキャパシタ誘電体膜中のリーク電流の原因となる残留炭素を除去するために酸化雰囲気中で行う熱処理等がある。

【0009】そこで我々は、五酸化タンタル絶縁膜を結晶化するための比較的高い熱処理温度に基づく課題を解決するため、五酸化タンタルに五酸化ニオブを添加し、種々の特性の変化を調べた。

【0010】まず、図10にMIM構造における実験結果を示す。サンプルとしては、Pt (200nm) / Ti (10nm) / SiO₂ (100nm) / Si構造上にスパッタリング法で五酸化タンタルと五酸化ニオブの混合物からなる膜を形成したものを用いた。形成条件は、10mTorrのN₂/O₂混合ガス(圧力比N₂/O₂=1/1)、基板温度は300℃、膜厚は20nmである。絶縁膜形成後、窒素気流中500℃から800℃の範囲で1分間熱処理し、その後、酸素気流中500℃で2分間熱処理した。図10は、上記の条件で形成された五酸化タンタルと五酸化ニオブの固溶体の結晶化温度と、結晶化後の比誘電率を、Nb比0%、10%、50%、90%、及び100%のそれぞれの場合において比較したものである。横軸はNb添加量を示しており、縦軸は結晶化温度及び比誘電率を示している。Nb比が0%、すなわち五酸化タンタル膜の結晶化温度は約750℃であり、比誘電率は約30である。Nbの添加量を増やすと、結晶化温度は低温化し、同時に比誘電率は増大する。Nb比が100%、すなわち五酸化ニオブ膜の結晶化温度は約500℃であり、比誘電率は約60である。下部電極及びバリアメタルの酸化を問題ない程度まで抑制することができる700℃以下とするためには、Nbを10%以上添加すればよい。

【0011】次にMIS構造における実験結果を図11に示す。図11は、シリコン上に形成された五酸化タンタルと五酸化ニオブの固溶体の結晶化温度と、結晶化後の比誘電率を、Nb比0%、10%、50%、90%、及び100%のそれぞれの場合において比較したものである。横軸はNb添加量を示しており、縦軸は結晶化温度及び比誘電率を示している。Nb比が0%、すなわち五酸化タンタル膜の結晶化温度は約750℃であり、比誘電率は約40である。下部電極の酸化を問題ない程度まで抑制することができる700℃以下とするためには、Nbを60%以上添加すればよい。Nbの添加量を増やすと、結晶化温度は低温化し、同時に比誘電率は増大する傾向は図10と同様であるが、Nb比50%で結晶化温度が約750℃まで上昇している点が図10と異なる。

【0012】一方、図12は、Nb比の異なるそれぞれの絶縁体膜のリーク電流密度を比較したものである。横軸は電圧を示しており、縦軸はリーク電流密度を示している。熱処理温度は700℃である。Nbの添加量を増やすと、リーク電流密度が増大する。

【0013】以上のように、五酸化タンタル絶縁膜を誘電体膜に採用する際の比較的高い熱処理温度を回避するために、五酸化ニオブを添加した膜又は純粋な五酸化ニオブ膜の適用が有効であるが、図12からわかるように、五酸化ニオブを添加するとリーク電流密度が増加するという課題を見出した。

【0014】

【課題を解決するための手段】上記の課題を解決するための代表的な手段を以下に説明する。

【0015】本発明の第1の手段によれば、キャパシタの絶縁体膜は、五酸化ニオブ膜と五酸化タンタル膜の積層膜によって形成される。

【0016】図10, 11, 12から明らかなように、五酸化タンタル膜は、リーク電流は小さいが結晶化温度は高い。対照的に、五酸化ニオブ膜は、結晶化温度は低いがリーク電流は大きい。この結果を基に、五酸化タンタル膜と五酸化ニオブとの積層が有効であると考えた。具体的には、まず、五酸化ニオブ膜を下部電極上に形成し、750℃より低温の熱処理で結晶化させ、その上に五酸化タンタル膜を形成して熱処理を行う。そうすれば、五酸化ニオブによる結晶構造の下地の上に五酸化タンタルを積層することになり、五酸化タンタル膜の結晶化温度は五酸化ニオブ膜の結晶構造の影響を受けて低温化する。同時に、五酸化タンタル膜が積層膜中に存在するために、リーク電流密度も小さく保つことができる。

【0017】積層膜の効果を検証するために、五酸化タンタル単層膜 (Ta_2O_5)、五酸化タンタル膜と五酸化ニオブ膜の積層膜 ($\text{Ta}_2\text{O}_5/\text{Nb}_2\text{O}_5$)、および五酸化ニオブ単層膜 (Nb_2O_5) を形成し、結晶化温度とリーク電流密度を比較した。五酸化タンタル単層膜と五酸化ニオブ単層膜は、膜厚は20nmの単層膜を形成後、窒素中500℃～750℃で1分間の熱処理をし、さらに酸素中500℃で2分間の熱処理することにより形成した。五酸化タンタルと五酸化ニオブの積層膜は、シリコン基板上に膜厚が5nmの五酸化ニオブ膜を形成後、窒素中500℃で1分間の熱処理をする工程と、五酸化ニオブ膜上に膜厚が15nmの五酸化タンタル膜を形成後、窒素中500℃～750℃で1分間の熱処理をし、さらに酸素中500℃で2分間の熱処理を行う工程とで形成した。

【0018】上記のそれぞれの誘電体膜における比誘電率の熱処理温度依存性を図13に示す。横軸は熱処理温度を示しており、縦軸は比誘電率を示している。五酸化タンタル単層膜は、形成直後は非晶質であり、その比誘電率は約20である。750℃の熱処理を行うと五酸化タンタル単層膜は結晶化し、比誘電率は約30に増大する。一方、五酸化ニオブ単層膜は、形成直後は非晶質であり、その比誘電率は約30であるが、少なくとも500℃の熱処理で結晶化し、比誘電率は約60に増大する。本発明で提案する五酸化タンタルと五酸化ニオブの

積層膜は、五酸化タンタル膜の形成直後ですでに結晶化しており、比誘電率は約50を示す。これは、既に結晶化している五酸化ニオブ膜の結晶構造上に五酸化タンタル膜を形成するために、五酸化タンタル膜の結晶化温度が低温化した結果である。通常、五酸化タンタルが結晶化されにくい温度での熱処理であっても、五酸化ニオブ膜上の五酸化タンタル膜は十分結晶化し、比誘電率は五酸化ニオブ単層膜とほぼ同程度まで増大している。

【0019】次に、リーク電流密度の比較を図14に示す。横軸は電圧を示しており、縦軸はリーク電流密度を示している。結晶化熱処理温度は、五酸化タンタル単層膜では750℃、五酸化タンタル膜と五酸化ニオブ膜の積層膜と五酸化ニオブ単層膜では500℃とした。五酸化ニオブ膜のリーク電流は五酸化タンタル膜に比べて非常に大きい、五酸化タンタル膜と積層することによって、五酸化タンタル単層膜とほぼ同じ特性が得られている。これは、五酸化タンタルと五酸化ニオブの積層膜におけるリーク電流は五酸化タンタル膜に支配されていることを示す。

【0020】つまり、五酸化タンタル膜と五酸化ニオブ膜を積層することにより、それぞれの短所が打ち消される結果、五酸化タンタル膜の結晶化温度が五酸化ニオブ単層膜と同程度の結晶化温度まで低温下し、五酸化ニオブ膜と同程度の高い比誘電率が得られ、同時に、五酸化タンタル単層膜と同等の低いリーク電流密度を持つキャパシタが実現できた。

【0021】ここでは、五酸化タンタル膜と五酸化ニオブ膜の積層膜を用いた例を示したが、本発明はこれに限定されるものではない。その基本的な概念は、結晶化温度の低い材料を用いた誘電体膜上に、本来は結晶化温度が高い材料を用いた誘電体膜を形成することで、上層膜の結晶化温度を低温化し、下部電極又はバリア金属の酸化を防ぎ、下層膜より優れたリーク電流特性を持つ上層膜により、下部電極と上部電極間のリーク電流を低減することができるものである。例えば、上層と下層の膜を共に五酸化タンタルと五酸化ニオブの固溶体により形成してもよい。この場合、上層膜/下層膜を ($\text{Ta}_{1-x}\text{Nb}_x$) $_2\text{O}_5$ / ($\text{Ta}_{1-y}\text{Nb}_y$) $_2\text{O}_5$ と表記した場合、 $x < y$ の関係を保つようにすることが有効である。すなわち、下層膜中の五酸化ニオブ含有率が上層膜中の五酸化ニオブ含有率より多ければよい。上記の条件を満たす下層膜は上層膜より低い温度で結晶化し、上層膜の結晶化温度を低温化させ、下層膜より優れたリーク電流特性を有する上層膜によりリーク電流を低減することができる。ただし、形成された上層膜の五酸化ニオブ含有率と下層膜の五酸化ニオブ含有率との差が小さくなるにしたがい、この効果は減少する。

【0022】次に、本発明の第2の手段によれば、キャパシタの絶縁体膜は、五酸化ニオブ膜の積層膜によって形成される。

【0023】具体的には、まず五酸化ニオブ膜を下部電極上に形成し、低温の熱処理で結晶化させ、その上に五酸化ニオブ膜を形成して熱処理を行う。誘電体膜に結晶化温度の低い五酸化ニオブ膜を用いることにより、下部電極及びバリア金属の酸化を防止することができる。また、誘電体膜を多段階形成することにより、リークパスとなる結晶粒界を分断し、1層当たりの膜厚を薄くすることにより、低温の熱処理時において特に問題となる膜中の残留炭素を除去し易くしているため、キャパシタのリーク電流を低減することができる。さらに、低リーク電流化に寄与するものとして、1層当たりの膜厚を薄くすることによる膜のストレス低減、膜質向上、モフォロジーの改善があげられる。

【0024】五酸化ニオブ膜の多段階形成の効果を検証するために、多結晶シリコン上に膜厚が10nmの五酸化ニオブ膜を、1段階、2段階、および3段階で形成し、リーク電流密度を比較した。五酸化ニオブ膜は、ペンタエトキシニオブと酸素を原料ガスとするCVD法によって、基板温度は430℃で形成した。熱処理条件は、酸素気流中600℃で1分間である。多段階形成によるリーク電流密度の低減効果を図15に示す。横軸は電圧を示しており、縦軸はリーク電流密度を示している。1段階形成の場合は、五酸化ニオブ膜を10nm形成して熱処理を行った。2段階形成の場合は、五酸化ニオブ膜を5nm形成して熱処理し、その後、五酸化ニオブ膜を5nm形成して再び熱処理を行った。3段階形成の場合は、五酸化ニオブ膜を3nm形成して熱処理し、その後、五酸化ニオブ膜を3nm形成して再び熱処理し、さらに、五酸化ニオブ膜を4nm形成して熱処理を行った。図15から明らかなように、五酸化ニオブ膜を多段階形成することにより、リーク電流は低減している。この理由の1つに、熱処理温度を低温化すると、酸素が膜中に拡散しにくくなり、二酸化炭素として排出されるはずの炭素の除去効率が悪くなってしまう問題点を、多段階形成により1層当たりの膜厚を薄くすることで解決していることがあげられる。

【0025】このリーク電流低減の効果を最大限に得るためには全ての層を薄くすることが望ましいが、キャパシタ中の複数の五酸化ニオブによる絶縁体膜の内、どれか一層の絶縁膜の厚さを薄くすることにより、この効果は得られる。一層でもリーク電流特性がよくなれば、全体としてリーク電流特性は改善されるからである。また、第1の手段として説明した五酸化タンタル膜と五酸化ニオブ膜の積層膜の場合、または、 $x < y$ の関係を保つような $(Ta_{1-x}Nb_x)_2O_5 / (Ta_{1-y}Nb_y)_2O_5$ の場合であっても、膜厚を薄くすることにより炭素の除去効率を上げ、積層膜全体のリーク電流特性を向上することができる。

【0026】上述した手段を用いることにより、700℃以下の低温の熱処理でも比誘電率が高く、リーク電流

が小さいキャパシタが実現できる。

【0027】ここでは、五酸化ニオブ膜と五酸化ニオブ膜の積層膜を用いた例を示したが、本発明はこれに限定されるものではない。結晶化温度の低い材料として五酸化タンタルと五酸化ニオブの固溶体を用いた場合でも、上記の特性を持つキャパシタを実現することができる。

【0028】課題を解決するための第1の手段である五酸化ニオブ膜と五酸化タンタル膜を積層する方法と、課題を解決するための第2の手段である五酸化ニオブ膜と五酸化ニオブ膜を積層する方法の効果を比較検討しておく。

【0029】第1の手段と第2の手段共に、結晶化温度を低くし、下部電極及びバリア金属の酸化を防ぎ、リーク電流を低減することができるが、リーク電流低減の観点においては、第1の手段が優れている。リーク電流の少ない五酸化タンタル膜を誘電体膜として使用するからである。半導体装置の製造容易性及びコスト低減の観点においてCVD法によって形成する場合は、第2の手段が優れている。積層された各々の誘電体膜を同一の材料で形成するため、五酸化ニオブ膜を形成するための原料ガスを供給する手段と、五酸化タンタル膜を形成するための原料ガスを供給する手段とを別に持つ必要が無い又は、積層膜を作るための異なる2種の原料ガスを扱う必要が無いからである。

【0030】以上、本発明の第1と第2の手段に共通する事項をまとめると、キャパシタの誘電体膜を多層の絶縁体とすることで、結晶粒界を分断し、かつキャパシタの下層の誘電体膜は五酸化ニオブを含んだ膜とし、上層の誘電体膜は五酸化タンタル膜又は五酸化ニオブ膜又は五酸化タンタルと五酸化ニオブの混合物からなる膜のいずれかの膜とすることで、誘電体膜の結晶化温度を、五酸化タンタル膜を用いた場合より低下させることができる。その結果として、下部電極もしくはバリア金属の酸化を防ぐことができ、リーク電流特性の良いキャパシタが実現できる。

【0031】このキャパシタには、下層膜が五酸化タンタルと五酸化ニオブの混合物からなる膜であり、上層膜が五酸化ニオブ膜であるような誘電体膜を有するキャパシタを含んでいる。このキャパシタの場合、下層膜に用いる材料の結晶化温度は上層膜に用いる材料の結晶化温度より高いものとなっており、結晶化温度の低い材料を用いた誘電体膜上に、本来は結晶化温度が高い材料を用いた誘電体膜を形成することで、上層膜の熱処理温度を下層膜の熱処理温度まで低下させるという効果は有していない。しかし、誘電体膜を結晶化するための熱処理温度を、従来の五酸化タンタル膜を結晶化するための熱処理温度より低温とする効果を有している。その結果、熱処理による下部電極もしくはバリア金属の酸化を防ぐことができる。

【0032】

【発明の実施の形態】（実施例1）以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0033】発明の実施例1を図1で説明する。これは、五酸化ニオブ膜と五酸化タンタル膜との積層膜からなる誘電体膜を用いたMIMキャパシタを有する半導体記憶装置、特にDRAMに適用した場合である。

【0034】以下、そのDRAMの製造工程を説明する。

【0035】図1は本願発明のキャパシタが適用されるDRAMの断面図である。まず、半導体基板1に素子分離領域および不純物が導入されたP型ウェル6を形成する。P型で比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる半導体基板1を用意し、例えば 850°C 程度でウェット酸化して形成した膜厚 10nm 程度の薄いシリコン酸化膜（図示せず）および例えばCVD法で形成した膜厚 140nm 程度のシリコン窒化膜（図示せず）を半導体基板1上に堆積する。ここでは単結晶シリコンの半導体基板1を例示するが、表面に単結晶シリコン層を有するSOI（Silicon On Insulator）基板、あるいは、表面に多結晶シリコン膜を有するガラス、セラミックス等の誘電体基板であってもよい。

【0036】次に、フォトリソ膜（図示せず）をマスクにして、溝2が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターニングし、このシリコン窒化膜をマスクとして半導体基板1をドライエッチングすることにより、素子分離領域の半導体基板1に深さ $300\sim400\text{nm}$ 程度の溝2を形成する。

【0037】次に、前記フォトリソ膜を除去した後、前記のエッチングによって溝2の内壁に生じたダメージ層を除去するために、例えば $850\sim900^\circ\text{C}$ 程度のウェット酸化による薄い（膜厚 10nm 程度の）シリコン酸化膜3を溝2の内壁に形成し、例えばオゾン（ O_3 ）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜を $300\sim400\text{nm}$ 程度の膜厚で堆積する。このシリコン酸化膜は、 1000°C 程度でドライ酸化によりシントリング（焼き締め）を行ってもよい。

【0038】次に、このシリコン酸化膜をCMP（Chemical Mechanical Polishing）法により研磨して溝2以外の領域のシリコン酸化膜を除去し、溝2の内部にシリコン酸化膜4を残して素子分離領域を形成する。なお、このCMP法による研磨の前に、溝2の領域にシリコン窒化膜を形成して、溝2領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

【0039】次に、半導体基板1の表面に残存しているシリコン酸化膜およびシリコン窒化膜を例えば熱リン酸

を用いたウェットエッチングで除去した後、メモリセルを形成する領域（メモリアレイ）の半導体基板1にN型不純物、例えばP（リン）をイオン打ち込みしてN型半導体領域5を形成し、P型不純物、例えばB（ホウ素）をイオン打ち込みしてP型ウェル6を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、例えば BF_2 （フッ化ホウ素）をP型ウェル6にイオン打ち込みする。N型半導体領域5は、入出力回路などから半導体基板1を通じてメモリアレイのP型ウェル6にノイズが侵入するのを防止するために形成される。

【0040】次に、半導体基板1の表面を例えばHF（フッ酸）系の洗浄液を使って洗浄した後、半導体基板1を 850°C 程度でウェット酸化してP型ウェル6の表面に膜厚 5nm 程度の清浄なゲート酸化膜7を形成する。特に限定はされないが、上記ゲート酸化膜7を形成した後、半導体基板1を NO （酸化窒素）雰囲気中または N_2O （亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜7と半導体基板1との界面に窒素を偏析させてもよい（酸窒化処理）。ゲート酸化膜7が 5nm 程度まで薄くなると、半導体基板1との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板1との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜7の信頼性を向上できる。

【0041】次に、ゲート酸化膜7の上部にゲート電極8を形成する。ゲート電極8は、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして使用される。このゲート電極8（ワード線WL）の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法（例えば $0.12\mu\text{m}$ 程度）で構成される。また、隣接するゲート電極8（ワード線WL）同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法（例えば $0.11\mu\text{m}$ ）で構成される。ゲート電極8（ワード線WL）は、例えばP（リン）などのN型不純物がドーパされた膜厚 70nm 程度の多結晶シリコン膜を半導体基板1上にCVD法で堆積し、次いでその上部に膜厚 50nm 程度のWN（タングステンナイトライド）膜と膜厚 100nm 程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚 150nm 程度のシリコン窒化膜9をCVD法で堆積した後、フォトリソ膜をマスクにしてこれらの膜をパターニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN膜の他、TiN（チタンナイトライド）膜などを使用することもできる。ゲート電極8（ワード線WL）の一

部を低抵抗の金属(W)で構成した場合には、そのシート抵抗を $2\sim 2.5\Omega/\square$ 程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極8(ワード線WL)をAl配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を1層減らすことができる。

【0042】次に、フォトリソレジスト膜を除去した後、フッ酸などのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やフォトリソレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極8(ワード線WL)の下部以外の領域のゲート酸化膜7が削られると同時に、ゲート側壁下部のゲート酸化膜7も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート酸化膜7の耐圧が低下する。そこで、半導体基板1を 900°C 程度でウェット酸化することによって、削れたゲート酸化膜7の膜質を改善する。

【0043】次に、P型ウェル6にN型不純物、例えばP(リン)をイオン打ち込みして、ゲート電極8の両側のP型ウェル6にN型半導体領域10を形成する。これにより、メモリアレイにメモリセル選択用MISFETが形成される。

【0044】次に、半導体基板1上にCVD法で膜厚 $50\sim 100\text{nm}$ 程度のシリコン窒化膜11を堆積した後、膜厚 300nm 程度のSOG(Spin On Glass)膜12をスピンドット塗布した後、半導体基板1を 800°C 、1分程度熱処理してSOG膜12をシンタリングする。また、SOG膜12の上部に膜厚 600nm 程度のシリコン酸化膜13を堆積した後、このシリコン酸化膜13をCMP法で研磨してその表面を平坦化する。さらに、シリコン酸化膜13の上部に膜厚 100nm 程度のシリコン酸化膜14を堆積する。このシリコン酸化膜14は、CMP法で研磨されたときに生じた前記シリコン酸化膜13の表面の微細な傷を補修するために堆積する。シリコン酸化膜13、14は、例えばオゾン(O_3)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。シリコン酸化膜14に代えてPSG(Phospho Silicate Glass)膜などを堆積してもよい。

【0045】このように、本実施の形態では、ゲート電極8(ワード線WL)の上部にリフロー性が高いSOG膜12を塗布し、さらにその上部に堆積したシリコン酸化膜13をCMP法で平坦化する。これにより、ゲート電極8(ワード線WL)同士の微細な隙間のギャップフィリング性が向上すると共に、ゲート電極8(ワード線WL)の上部の絶縁膜の平坦化を実現することができる。

【0046】次に、フォトリソレジスト膜をマスクにしたドライエッチングでメモリセル選択用MISFETのN型半導体領域10(ソース、ドレイン)の上部のシリコン酸化膜14、13およびSOG膜12を除去する。この

エッチングは、シリコン窒化膜11に対するシリコン酸化膜14、13およびSOG膜12のエッチングレートが大きくなるような条件で行い、N型半導体領域10や素子分離溝2の上部を覆っているシリコン窒化膜11が完全には除去されないようにする。続いて、上記フォトリソレジスト膜をマスクにしたドライエッチングでメモリセル選択用MISFETのN型半導体領域10(ソース、ドレイン)の上部のシリコン窒化膜11とゲート酸化膜7とを除去することにより、N型半導体領域10(ソース、ドレイン)の一方の上部にコンタクトホール15を形成し、他方の上部にコンタクトホール16を形成する。このエッチングは、シリコン酸化膜(ゲート酸化膜7および素子分離溝2内のシリコン酸化膜4)に対するシリコン窒化膜11のエッチングレートが大きくなるような条件で行い、N型半導体領域10や素子分離溝2が深く削れないようにする。また、このエッチングは、シリコン窒化膜11が異方的にエッチングされるような条件で行い、ゲート電極8(ワード線WL)の側壁にシリコン窒化膜11が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール15、16がゲート電極8(ワード線WL)に対して自己整合で形成される。コンタクトホール15、16をゲート電極8(ワード線WL)に対して自己整合で形成するには、あらかじめシリコン窒化膜11を異方性エッチングしてゲート電極8(ワード線WL)の側壁にサイドウォールスペーサを形成しておいてもよい。

【0047】次に、フォトリソレジスト膜を除去した後、フッ酸+フッ化アンモニウム混合液などのエッチング液を使って、コンタクトホール15、16の底部に露出した基板表面のドライエッチング残渣やフォトリソレジスト残渣などを除去する。その際、コンタクトホール15、16の側壁に露出したSOG膜12もエッチング液に曝されるが、SOG膜12は、前述した 800°C 程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってコンタクトホール15、16の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール15、16の内部に埋め込まれるプラグ同士のショートを確実に防止することができる。

【0048】次に、コンタクトホール15、16の内部にプラグ17を形成する。プラグ17は、シリコン酸化膜14の上部にN型不純物(例えばP(リン))をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール15、16の内部に残すことにより形成する。

【0049】次に、シリコン酸化膜14の上部に膜厚 200nm 程度のシリコン酸化膜18を堆積した後、半導体基板1を 800°C 程度で熱処理する。シリコン酸化膜

18は、例えばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によって、プラグ17を構成する多結晶シリコン膜中のN型不純物がコンタクトホール15、16の底部からメモリセル選択用MISFETのN型半導体領域10 (ソース、ドレイン) に拡散し、N型半導体領域10が低抵抗化される。

【0050】次に、フォトレジスト膜をマスクにしたドライエッチングで前記コンタクトホール15の上部のシリコン酸化膜18を除去してプラグ17の表面を露出させる。フォトレジスト膜を除去した後、シリコン酸化膜18の上部にビット線BLを形成する。ビット線BLを形成するには、まずシリコン酸化膜18の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、半導体基板1を800℃程度で熱処理する。次いで、Ti膜の上部に膜厚50nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度のシリコン窒化膜19とをCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターニングする。シリコン酸化膜18の上部にTi膜を堆積した後、半導体基板1を800℃程度で熱処理することにより、Ti膜と下地Siとが反応し、プラグ17の表面に低抵抗のTiSi₂ (チタンシリサイド) 層20が形成される。これにより、プラグ17に接続される配線 (ビット線BL) のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができる。ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。ビット線BLの間隔は例えば0.12μm程度とし、その幅は例えば0.11μm程度とする。なお、TiSi₂層20は、熱処理による劣化が生じる可能性があるが、その熱処理として後に説明する情報蓄積用容量素子の容量絶縁膜の形成工程が考えられる。しかしながら、後に説明するように、本実施の形態においては容量絶縁膜の形成工程が低温化されるため、TiSi₂層20が熱処理により劣化し、接続抵抗の上昇等の不具合を生じることはない。

【0051】次に、ビット線BLの側壁にサイドウォールスペーサ21を形成する。サイドウォールスペーサ21は、ビット線BLの上部にCVD法でシリコン窒化膜を堆積した後、このシリコン窒化膜を異方性エッチングして形成する。

【0052】次に、ビット線BLの上部に膜厚300nm程度のSOG膜22をスピン塗布する。次いで、半導体基板1を800℃、1分程度熱処理してSOG膜22

をシンタリングする。SOG膜22は、BP SG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線BL同士の隙間を良好に埋め込むことができる。また、SOG膜22は、BP SG膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線BLの下層に形成されたメモリセル選択用MISFETのソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極8 (ワード線WL) を構成するメタル (W膜) の劣化を抑制できるので、DRAMのメモリセルおよび周辺回路を構成するMISFETの高性能化を実現することができる。また、ビット線BLを構成するTi膜、TiN膜、W膜の劣化を抑制して配線抵抗の低減を図ることができる。

【0053】次に、SOG膜22の上部に膜厚600nm程度のシリコン酸化膜23を堆積した後、このシリコン酸化膜23をCMP法で研磨してその表面を平坦化する。シリコン酸化膜23は、例えばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積する。このように、本実施の形態では、ビット線BLの上部に成膜直後でも平坦性が良好なSOG膜22を塗布し、さらにその上部に堆積したシリコン酸化膜23をCMP法で平坦化する。これにより、ビット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ビット線BLの上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するMISFETの特性劣化を防止して高性能化を実現することができると共に、ビット線BLの低抵抗化を図ることができる。

【0054】次に、シリコン酸化膜23の上部に膜厚100nm程度のシリコン酸化膜24を堆積する。このシリコン酸化膜24は、CMP法で研磨されたときに生じた前記シリコン酸化膜23の表面の微細な傷を補修するために堆積する。シリコン酸化膜24は、例えばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積する。

【0055】次に、フォトレジスト膜をマスクにしたドライエッチングでコンタクトホール16の上部のシリコン酸化膜24、23、SOG膜22およびシリコン酸化膜18を除去してプラグ17の表面に達するスルーホール25を形成する。このエッチングは、シリコン酸化膜24、23、18およびSOG膜22に対するシリコン窒化膜のエッチングレートが小さくなるような条件で行い、スルーホール25とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部のシリコン窒化膜19やサイドウォールスペーサ21が深く削れないようにする。これにより、スルーホール25がビット線BLに対して自己整合で形成される。

【0056】次に、フォトリソ膜を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール25の底部に露出したプラグ17の表面のドライエッチング残渣やフォトリソ残渣などを除去する。その際、スルーホール25の側壁に露出したSOG膜22もエッチング液に曝されるが、SOG膜22は、前記800℃程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール25の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール25の内部に埋め込まれるプラグとビット線BLとのショートを実際に防止することができる。また、プラグとビット線BLとを十分に離間させることができるので、ビット線BLの寄生容量の増加を抑制することができる。

【0057】次に、スルーホール25の内部にバリアメタルであるプラグ26を形成する。プラグ26は、金属化合物例えば窒化チタン膜からなる。プラグ26は、後に説明する下部電極29とプラグ17との反応を抑制することができる。これにより、プラグ17とプラグ26との間に、導通を阻害する物質、例えばシリコン酸化物の形成を抑制して、情報蓄積用容量素子とメモリセル選択用MISFETとの接続を良好に維持することができる。プラグ26は、シリコン酸化膜24の上部に、例えば窒化チタン膜をスパッタ法あるいはCVD法により堆積し、これをエッチバックしてスルーホール25の内部に残すことにより形成する。エッチバックに代えて、CMP法により窒化チタン膜を研磨して除去してもよい。なお、プラグ26は、前記窒化チタン膜等の金属化合物に限らず、アルミを添加した窒化チタンや窒化タンタル、シリコンを添加した窒化タンタル、などにより構成してもよい。

【0058】その後、シリコン窒化膜27と絶縁膜28を形成し、プラグ26が露出するようにシリコン窒化膜27と絶縁膜28に溝を形成する。絶縁膜28は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で形成する。また、溝はフォトリソ膜をマスクとしたエッチングにより加工する。

【0059】次に、ルテニウムからなる下部電極29を堆積する。まず、スパッタリング法によって、半導体基板1の全面に、膜厚が50nmのルテニウム膜を堆積する。スパッタリング法は段差被覆性に乏しいため、溝の内部には数nmのルテニウム膜しか形成されない。このスパッタリング法によるルテニウム膜を種層として、CVD法によって、半導体基板1の全面に、膜厚が20nmのルテニウム膜を堆積する。このCVD法によるルテニウム膜は、有機金属錯体Ru(C₂H₄C₂H₅)₂(ビスエチルシクロペンタジエニルルテニウム)を(C₂H₄)₂O(テトラヒドロフラン)に0.1mol/l

の濃度で溶解した溶液を液体搬送して形成する。基板と対面するシャワーヘッド内で、液体原料を酸素ガスおよび窒素ガスと混合し、基板に吹きつけた。形成温度は290℃、圧力は5 Torrである。ここで、後の熱処理によってルテニウム膜が変形するのを防ぐために、焼き締めておくことが望ましい。具体的には、不活性雰囲気中、例えばアルゴン中で、700℃、1分間の熱処理を行えばよい。熱処理温度は、誘電体酸化膜の結晶化熱処理温度よりもやや高温であることが望ましい。

【0060】次に、半導体基板1の全面に絶縁膜(図示せず)を堆積する。絶縁膜は、溝の埋め込み性および絶縁膜28とのエッチング選択性を考慮してSOG膜とすることが好ましい。ここで、溝の内部を除く絶縁膜28上のルテニウム膜を除去する。これらの除去にはエッチバック法あるいはCMP法を用いることができる。溝の内部に残存する絶縁膜(図示せず)はウェットエッチングにより除去することが可能である。このようにしてルテニウムからなる下部電極29が形成される。なお、下部電極29を構成する材料としては、ルテニウム膜に代えて、白金膜、あるいは銅膜とすることができる。

【0061】次に、半導体基板1の全面に膜厚が5nm以下の五酸化ニオブ膜30を堆積する。ここで、膜厚を5nm以下とするのは、膜密度向上及び、モフォロジの改善、酸化熱処理時における膜中の残留炭素を除去効率の向上によるリーク電流低減を達成するためである。五酸化ニオブ膜30の堆積は、例えばペンタエトキシニオブ(Nb(C₂H₅O)₅)を含むガスを原料ガスとし、550℃以下で減圧状態(例えば400mTorr)における熱CVD法により形成できる。また、ペンタエトキシニオブと酸化剤(例えばH₂O)を交互に供給する原子層CVD法によって形成することもできる。

【0062】次に、五酸化ニオブ膜30に熱処理を施し、これを結晶化する。熱処理は、700℃以下の温度条件で行われる。ここで、熱処理温度を700℃以下とするのは、700℃以下であれば下部電極及びバリアメタルの酸化を問題ない程度まで抑制することができるからである。この熱処理温度は、五酸化ニオブ膜が結晶化する温度であればよいが、良好な多結晶の五酸化ニオブ膜を得るためには500℃以上であることが望ましい。熱処理の雰囲気は、酸化性雰囲気でも、不活性ガス雰囲気でも構わない。例えば、酸素、一酸化二窒素、アルゴン、および窒素ガス雰囲気における、処理温度500℃～700℃、処理時間1分～10分の条件を例示できる。

【0063】次に、五酸化ニオブ膜30上に膜厚5nm以下の五酸化タンタル膜31を堆積する。五酸化タンタル膜31の堆積は、例えばペンタエトキシタンタル(Ta(C₂H₅O)₅)を含むガスを原料ガスとし、550℃以下の減圧状態(例えば400mTorr)における熱CVD法により形成できる。また、ペンタエトキシ

タンタルと酸化剤（例えば H_2O ）を交互に供給する原子層CVD法によって形成することもできる。

【0064】次に、五酸化タンタル膜31に熱処理を施し、これを結晶化する。熱処理は、700℃以下の温度条件で行われる。この熱処理温度は、五酸化ニオブ膜上の五酸化タンタル膜が結晶化する温度であればよいが、良好な結晶構造を持つ五酸化タンタル膜を得るためには500℃以上であることが望ましい。熱処理の雰囲気は、酸化性雰囲気でも、不活性ガス雰囲気でも構わない。例えば、酸素、一酸化二窒素、アルゴン、および窒素ガス雰囲気における、処理温度500℃～700℃、処理時間1分～10分の条件を例示できる。ただし、結晶化熱処理を不活性ガス雰囲気中で行った場合には、五酸化ニオブ膜30および五酸化タンタル膜31中に導入される酸素欠損を修復するために、酸化性雰囲気での熱処理を組み合わせる必要がある。この酸化性雰囲気での熱処理は、五酸化タンタル膜31の結晶化を目的としたものではないため、温度は500℃以下でも構わない。例えば、オゾン雰囲気における400℃程度の条件を例示できる。

【0065】このように、多結晶化した五酸化ニオブ膜上に五酸化タンタル膜を形成して熱処理するため、五酸化タンタル膜の結晶化温度を低温化でき、同時に高い誘電率を実現できる。また、リーク電流の伝導機構は五酸化タンタル膜に支配されるため、五酸化タンタル膜と五酸化ニオブ膜の積層膜のリーク電流特性は、五酸化タンタル単層膜と同程度となる。

【0066】次に、五酸化タンタル膜31上に窒化チタン膜を堆積し、前記窒化チタン膜上にフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして前記窒化チタン膜、五酸化タンタル膜31および五酸化ニオブ膜30をエッチングして容量絶縁膜および上部電極32を形成する。窒化チタン膜の堆積には例えばCVD法を用いることができる。ここでは、溝型キャパシタ誘電体膜の狭い凹部に上部電極を形成しなければならないという、CVDの技術的課題を考慮して、上部電極を窒化チタンにより形成したが、上部電極32を構成する材料は必ずしも窒化チタンである必要はなく、窒化チタン膜に代えて、タングステン膜、あるいはルテニウム膜とすることができる。また、ルテニウムによる上部電極を構成する場合は、下部電極29と同様の条件で形成することができる。

【0067】このようにしてルテニウムからなる下部電極29、五酸化ニオブ膜30と五酸化タンタル膜31の積層膜からなる容量絶縁膜および窒化チタンからなる上部電極32で構成される情報蓄積用容量素子を形成する。この情報蓄積用容量素子と、これに直列に接続されたメモリセル選択用MISFETとでDRAMのメモリセルが形成される。

【0068】次に、フォトレジスト膜を除去した後、情

報蓄積用容量素子の上部に膜厚40nm程度のシリコン酸化膜33を堆積する。シリコン酸化膜33は、例えばオゾン（ O_3 ）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。さらにSOG膜34を塗布してメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和する。

【0069】次に、フォトレジスト膜をマスクにしたドライエッチングでSOG膜34、シリコン酸化膜33を除去することにより、スルーホールを形成する。その後、スルーホールの内部にプラグ35を形成し、続いてSOG膜34の上部に第2層配線36を形成する。プラグ35は、SOG膜34の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホールの内部に残すことにより形成する。第2層配線36は、SOG膜34の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl（アルミニウム）膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【0070】その後、層間絶縁膜を介して第3層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、層間絶縁膜は、例えば膜厚300nm程度のシリコン酸化膜、膜厚400nm程度のSOG膜および膜厚300nm程度のシリコン酸化膜で構成できる。シリコン酸化膜は、例えばオゾン（ O_3 ）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積できる。

【0071】以上の工程により、本実施の形態のDRAMが略完成する。

【0072】本実施例1によれば、容量絶縁膜を五酸化ニオブ膜30と五酸化タンタル膜31の積層膜とするため、容量絶縁膜の結晶化熱処理温度を低温化でき、プラグ26の酸化による導通不良を回避できる。また、五酸化ニオブ膜30の高い誘電率により、情報蓄積用容量素子の蓄積電荷量を増大でき、五酸化タンタル膜31の高い絶縁特性により、上部電極32と下部電極29との間のリーク電流を低減し、DRAMのリフレッシュ特性を改善できる。この結果、容量絶縁膜の膜質を総合的に良好にしてDRAMの性能および信頼性を向上できる。

【0073】上述した例では、容量絶縁膜を五酸化ニオブ膜30と五酸化タンタル膜31の積層膜としたが、積層膜の組成は、純粋な五酸化タンタル膜と純粋な五酸化ニオブ膜である必要はない。上層膜/下層膜を（ $Ta_{1-x}Nb_x$ ） $_2O_5$ / （ $Ta_{1-y}Nb_y$ ） $_2O_5$ ）

と表記した場合に、 $x < y$ の関係を保つものであればよい。言い換えれば、下層絶縁膜の Nb/Ta 比が上層絶縁膜の Nb/Ta 比よりも大きい積層膜であればよい。そのような積層膜であれば、下地である五酸化ニオブと五酸化タンタルの混合物からなる膜による結晶構造の影響を受けて、上層の五酸化ニオブと五酸化タンタルの固溶体の結晶化温度は低温化し、上層の五酸化ニオブと五酸化タンタルの混合物からなる膜によって、リーク電流密度も小さく保つことができる。

【0074】ここでは膜厚 5 nm 以下である五酸化タンタル膜と膜厚 5 nm 以下である五酸化ニオブ膜を 2 段階で形成したが、これに限らず、例えばキャパシタ誘電体膜の総膜厚一定の条件において、リーク電流低減の効果に着目し、誘電体膜の結晶化温度を下げるための下地である膜厚 5 nm 以下の五酸化ニオブ膜の上にリーク電流を低減するために、膜厚 5 nm より厚い五酸化タンタル膜を形成してもよい。また、高誘電率化の効果に着目し、膜厚 5 nm より厚い五酸化ニオブ膜の上に、リーク電流低減のための膜厚 5 nm 以下である五酸化タンタル膜を形成してもよい。誘電体膜は 2 段階形成に限る必要は無く、3 段階以上で形成し膜厚を薄くすることで、各膜密度もより向上し、モフォログが改善され、酸化熱処理時に膜中の残留炭素が抜けやすくなり、リーク電流が低減する。ただし、形成する段数が多くなるとプロセスコストが増大するため、3 段階以下とするのが望ましい。なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0075】（実施例 2）発明の実施例 2 を図 2 で説明する。これは、五酸化ニオブ膜と五酸化タンタル膜との積層膜からなる誘電体膜を用いた M1S キャパシタを半導体記憶装置、特に DRAM に適用した例である。

【0076】本実施例の DRAM は、情報蓄積用容量素子の構造において相違するところを除き、実施例 1 と同様である。したがって、以下の説明ではその相違する部分についてのみ説明し、同様な部分の説明は省略する。

【0077】本実施例 2 の DRAM の製造方法は、実施例 1 における、スルーホール 25 の内部にプラグ 26 を形成するより前の工程までは同様である。実施例 2 では、プラグ 26 は、N 型不純物（例えば P（リン））をドーブした多結晶シリコン膜を CVD 法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール 25 の内部に残すことにより形成する。エッチバックに代えて、CMP 法により多結晶シリコン膜を研磨して除去してもよい。

【0078】その後、実施例 1 と同様に、シリコン窒化膜 27 と絶縁膜 28 を形成し、プラグ 26 が露出するようにシリコン窒化膜 27 と絶縁膜 28 に溝を形成する。

【0079】次に、膜厚 20 nm の導電性非晶質シリコン層を溝の内面および絶縁膜 28 の上面に渡って形成

し、フォトリソグラフィ法およびドライエッチング法により絶縁膜 28 の上面の非晶質シリコン層を除去して、深孔の内面にのみ非晶質シリコン層を残す。溝内表面にシリコンの種付けをした後、630℃で熱処理して結晶化すると同時に表面を凹凸化して多結晶シリコンからなる下部電極 29 を形成する。

【0080】次に、多結晶シリコンからなる下部電極 29 の表面に PH_3 を用いて P をドーブした後、 NH_3 熱処理して表面に窒化シリコン膜を形成する。膜厚は 2 nm 程度と非常に薄いので、図 2 中には図示していない。このシリコン窒化膜は、誘電体膜の形成時および熱処理時に、下部電極の多結晶シリコンが酸化されるのを抑制する効果がある。

【0081】次に、半導体基板 1 の全面に五酸化ニオブ膜 30 を堆積する。五酸化ニオブ膜 30 の堆積は、実施例 1 と同様に行う。さらに、実施例 1 と同様に、五酸化ニオブ膜 30 に熱処理を施してこれを結晶化する。

【0082】次に、五酸化ニオブ膜 30 上に五酸化タンタル膜 31 を堆積する。五酸化タンタル膜 31 の堆積は、実施例 1 と同様に行う。さらに、実施例 1 と同様に、五酸化タンタル膜 31 に熱処理を施してこれを結晶化する。

【0083】この後の工程は、実施例 1 とほぼ同様である。

【0084】本実施例 2 によれば、容量絶縁膜を五酸化ニオブ膜 30 と五酸化タンタル膜 31 の積層膜とするため、容量絶縁膜の結晶化に要する熱処理温度を低温化でき、多結晶シリコンからなる下部電極 29 の酸化による容量低下を回避できる。また、五酸化ニオブ膜の高い誘電率により、情報蓄積用容量素子の蓄積電荷量を増大でき、五酸化タンタルの高い絶縁特性により、上部電極 32 と下部電極 29 との間のリーク電流を低減し、DRAM のリフレッシュ特性を改善できる。この結果、容量絶縁膜の膜質を総合的に良好にして DRAM の性能および信頼性を向上できる。

【0085】上述した例では、容量絶縁膜を五酸化ニオブ膜 30 と五酸化タンタル膜 31 の積層膜としたが、積層膜の組成は、純粋な五酸化タンタル膜と純粋な五酸化ニオブ膜である必要はなく、上層膜/下層膜を $(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_5 / (\text{Ta}_{1-y}\text{Nb}_y)_2\text{O}_5$ と表記すれば、 $x < y$ の関係を保つものであればよい。言い換えれば、下層絶縁膜の Nb/Ta 比が上層絶縁膜の Nb/Ta 比よりも大きい積層膜であればよい。そのような積層膜であれば、下地の五酸化ニオブと五酸化タンタルの混合物からなる膜の結晶構造の影響を受けて、上層の五酸化ニオブと五酸化タンタルの固溶体の結晶化温度は低温化し、上層の五酸化ニオブと五酸化タンタルの混合物からなる膜により、リーク電流密度も小さく保つことができる。

【0086】ここでは膜厚 5 nm 以下である五酸化タン

タル膜と膜厚 5 nm 以下である五酸化ニオブ膜を 2 段階で形成したが、これに限らず、例えばキャパシタ誘電体膜の総膜厚一定の条件において、リーク電流低減の效果に着目し、誘電体膜の結晶化温度を下げるための下地である膜厚 5 nm 以下の五酸化ニオブ膜の上にリーク電流を低減するため、膜厚 5 nm より厚い五酸化タンタル膜を形成してもよい。また、高誘電率化の效果に着目し、膜厚 5 nm より厚い五酸化ニオブ膜の上に、リーク電流低減のための膜厚 5 nm 以下である五酸化タンタル膜を形成してもよい。

【0087】誘電体膜は 2 段階形成に限る必要は無く、3 段階以上で形成し膜厚を薄くすることで、各膜密度もより向上し、モフォロジが改善され、酸化熱処理時に膜中の残留炭素が抜けやすくなり、リーク電流が低減する。ただし、形成する段数が多くなるとプロセスコストが増大するため、3 段階以下とするのが望ましい。

【0088】なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0089】（実施例 3）図 3 は、実施例 3 の半導体装置である MISFET の断面図である。これは、五酸化ニオブ膜と五酸化タンタル膜との積層膜からなる誘電体膜を MISFET のゲート絶縁膜として用いた例である。

【0090】まず、実施例 1 の半導体基板 101 と同様な半導体基板 101 を用意し、この半導体基板 101 の主面に素子分離領域の溝 102 およびその溝 102 内にシリコン酸化膜 103 を形成する。溝 102 およびシリコン酸化膜 103 の形成は実施例 1 の溝 2 およびシリコン酸化膜 4 と同様に行う。

【0091】次に、半導体基板 101 の全面に五酸化ニオブを堆積し、これを結晶化して五酸化ニオブ膜 104 を形成する。さらに五酸化ニオブ膜 104 上に五酸化タンタルを堆積し、これを結晶化して五酸化タンタル膜 105 を形成する。五酸化ニオブの堆積およびその結晶化は、実施例 1 の五酸化ニオブ膜 30 を形成する工程と同様である。五酸化タンタルの堆積およびその結晶化は、実施例 1 の五酸化タンタル膜 31 を形成する工程と同様である。五酸化ニオブ膜 104 と五酸化タンタル膜 105 は後に説明するように MISFET のゲート絶縁膜となるものである。

【0092】次に、五酸化タンタル膜 105 上に、多結晶シリコンを堆積し、フォトレジスト膜をマスクとしてこの多結晶シリコン膜、五酸化タンタル膜 105、五酸化ニオブ膜 104 をエッチングして除去する。これにより、多結晶シリコン膜からなるゲート電極 106、および五酸化ニオブ膜 104 と五酸化タンタル膜 105 の積層膜からなるゲート絶縁膜を形成する。

【0093】次に、フォトレジスト膜およびゲート電極

106 をマスクとして不純物を低濃度にイオン注入し、半導体領域 107 を形成する。また、全面にシリコン窒化膜またはシリコン酸化膜を形成し、これを異方性エッチングすることにより、ゲート電極 106 の側壁にサイドウォールスペーサ 108 を形成する。さらに、フォトレジスト膜、ゲート電極 106 およびサイドウォールスペーサ 108 をマスクとして不純物を高濃度にイオン注入し、半導体領域 109 を形成する。半導体領域 107、109 はいわゆる LDD 構造のソース・ドレイン領域を構成する。

【0094】このようにして MISFET が形成される。この後、層間絶縁膜を形成し、半導体領域 109 に接する第 1 層配線を形成する。さらに上層の配線を、層間絶縁膜を介して形成する。これらの説明は実施例 1 の第 1 層配線等と同様であるため説明を省略する。

【0095】上述した例では、ゲート電極 106 に多結晶シリコンを用いたが、これに限る必要はなく、窒化チタン、タングステン、窒化タングステンなどの金属電極を用いることができる。

【0096】また、五酸化ニオブ膜 104 を形成する前に、半導体基板 101 の表面にシリコン窒化膜を形成してもよい。例えば、NH₃ 熱処理して表面に窒化シリコン膜を形成する。このシリコン窒化膜は、誘電体膜の形成時および熱処理時に、チャンネル領域である多結晶シリコンが酸化されるのを抑制する効果がある。

【0097】本実施例 3 によれば、ゲート絶縁膜を五酸化ニオブ膜 104 と五酸化タンタル膜 105 の積層膜とするため、ゲート絶縁膜の結晶化熱処理温度を低温化でき、シリコン基板 101 の酸化を回避できる。

【0098】また、五酸化ニオブ膜の高い誘電率によりゲート絶縁膜の容量を増大できるため、ゲート絶縁膜の膜厚を厚くし、リーク電流を低減することができる。すなわち、半導体装置の高集積化時にトランジスタの特性を維持するためには、従来のシリコン酸化膜で実現しようとすれば、膜厚を薄くして容量を維持しなければならず、トンネル電流が増加してしまうが、五酸化ニオブ膜 104 と五酸化タンタル膜 105 の積層膜によるゲート絶縁膜を用いると、容量が同じであれば膜厚を厚くすることができるので、トンネル電流を生じることの少ない MISFET を実現することができる。

【0099】ゲート絶縁膜を基板とゲートで挟んだ部分は、いわゆる MIS 構造のキャパシタとなっており、その部分に種々のキャパシタを適用し、それぞれのキャパシタによる効果を奏することができる。

【0100】ここでは五酸化タンタル膜と五酸化ニオブ膜を 2 段階で形成したが、3 段階以上で形成し膜厚を薄くすることで、各膜密度もより向上し、モフォロジが改善され、酸化熱処理時に膜中の残留炭素が抜けやすくなり、リーク電流が低減する。ただし、形成する段数が多くなるとプロセスコストが増大するため、3 段階以下と

するのが望ましい。

【0101】また、キャパシタ誘電体膜の総膜厚一定の条件において、リーク電流低減の効果に着目し、誘電体膜の結晶化温度を下げるための下地である膜厚5nm以下の五酸化ニオブ膜の上にリーク電流を低減するため、膜厚5nmより厚い五酸化タンタル膜を形成してもよい。また、高誘電率化の効果に着目し、膜厚5nmより厚い五酸化ニオブ膜の上に、リーク電流低減のための膜厚5nm以下である五酸化タンタル膜を形成してもよい。

【0102】なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0103】（実施例4）図4は、実施例4における半導体製造装置の断面図である。

【0104】本実施の形態の製造装置は、五酸化ニオブ膜を形成する第1反応室120と、五酸化タンタル膜を形成する第2反応室121と、五酸化ニオブ膜および五酸化タンタル膜に熱処理を行う第3反応室122とを有し、第1反応室120と第2反応室121と第3反応室122とは真空搬送室123にゲートバルブを介して接続されている。なおゲートバルブは図示を省略している。

【0105】第1反応室120、第2反応室121および第3反応室122には各々基板加熱機構とガス供給機構とを備える。第1反応室120のガス供給機構は五酸化ニオブ膜をCVD法により形成するための原料ガスを供給する手段を有する。また、第2反応室121のガス供給機構は五酸化タンタル膜をCVD法により形成するための原料ガスを供給する手段を有する。また、第3反応室122のガス供給機構には酸素、一酸化二窒素あるいはオゾン等の酸化性ガスまたは不活性ガスを供給する手段を有する。

【0106】真空搬送室123には、図示しないゲートバルブを介してロードロック室124、125が接続され、ロードロック室124、125には、各々カセット室126、127が接続される。カセット室126、127には各々ウェハカセットに保持されたウェハ128、129がセットされる。

【0107】ウェハ128は、カセット室126からロードロック室124を介して真空搬送室123に導入される。この際、ロードロック室124では真空排気が行われ、真空搬送室123には大気は混入しない。このため真空搬送室123、第1反応室120、第2反応室121、および第3反応室122の清浄度が高く維持される。

【0108】真空搬送室123に導入されたウェハ128は、第1反応室120に搬入されて実施例1〜3で説明したように五酸化ニオブが堆積される。この後、ウェ

ハ128は第1反応室120から真空搬送室123を介して第3反応室122に搬入される。第3反応室122においては、ウェハ128に実施例1〜3で説明した熱処理が施され、五酸化ニオブ膜が結晶化される。

【0109】次に、ウェハ128は第3反応室122から真空搬送室123を介して第2反応室121に搬入される。第2反応室121に搬入されたウェハ128は、実施例1〜3で説明したように五酸化タンタルが堆積される。この後、ウェハ128は第2反応室121から真空搬送室123を介して第3反応室122に搬入される。第3反応室122においては、ウェハ128に実施例1〜3で説明した熱処理が施され、五酸化タンタル膜が結晶化される。

【0110】結晶化した五酸化タンタル膜が形成されたウェハ128は、真空搬送室123からロードロック室125を介してカセット室127に搬出され、ウェハ129としてウェハカセットに保持される。

【0111】以上の工程により、多結晶化した五酸化ニオブと多結晶化した五酸化タンタルの積層膜が形成される。この間、ウェハ128は、高真空中に保持された真空搬送室123を介して移動するため、五酸化ニオブ膜等の界面は清浄に保たれ、良質な結晶膜の形成がなされる。すなわち、一般的には大気中の不純物、塵等の異物は五酸化ニオブ膜と五酸化タンタル膜の異常結晶化等を促進し、好ましくない欠陥を生ずる恐れがあるが、本実施の形態の製造装置を用いれば、高い洗浄度が実現できる高真空環境下での一貫した膜形成および結晶化の工程を実現できる。

【0112】本実施例4によると、良質な多結晶構造を持つ五酸化ニオブ膜と五酸化タンタル膜の積層膜を形成することが可能となり、これを用いたDRAMの性能および信頼性を向上することができる。また、この積層膜をゲート絶縁膜に用いたMISFETの性能および信頼性を向上することができる。

【0113】上述した例に加えて、真空搬送室123にさらに第4反応室を備え、この第4反応室において実施例2または3で説明したシリコン窒化膜を形成するための窒化処理を行うこともできる。この窒化処理は、第1反応室120での処理に先だって行われる。

【0114】さらに、真空搬送室123に第5反応室を備え、この第5反応室において実施例1〜3で説明した上部電極を構成する窒化チタンその他の導電膜の堆積を行ってもよい。この導電膜の堆積は、第3反応室122の処理の後に行われる。本実施例4によれば、積層膜を構成する五酸化ニオブ膜と五酸化タンタル膜の清浄度を保持することができ、誘電体膜の絶縁耐圧を向上して半導体装置の性能および信頼性を向上できる。加えて、製造のスループットを向上させることができる。

【0115】また、五酸化ニオブ膜の形成と五酸化タンタル膜の形成を一つの反応室で行ってもよい。この場

合、例えば第1の反応室120のガス供給機構は、五酸化ニオブ膜をCVD法により形成するための原料ガスを供給する手段と、五酸化タンタル膜をCVD法により形成するための原料ガスを供給する手段との両方を有し、第3反応室122において五酸化ニオブ膜が結晶化された後、真空搬送室123を介して再び第1反応室120に搬入され、五酸化タンタル膜が堆積される。この後、真空搬送室123を介して第3反応室122に搬入され、五酸化タンタル膜が結晶化される。

【0116】この方法によれば、五酸化ニオブと五酸化タンタルを同一の反応室で堆積できるため、製造装置のコスト、ひいてはかかる半導体製造装置を用いて製造した半導体装置のコストを減少させることができる。

【0117】上述した例では、五酸化タンタル膜と五酸化ニオブ膜との積層膜を持つキャパシタの製造を例に示したが、五酸化ニオブの積層膜又は五酸化タンタルと五酸化ニオブの混合物からなる積層膜を製造することもできる。

【0118】本発明の第2手段による五酸化ニオブを積層する方法のように、誘電体膜を同じ原料ガスをを用いて積層する場合には、反応室が2つ必要ないことはもとより、異なる2種の原料ガスを扱う必要が無いので、より低コストとなる。また、五酸化タンタルと五酸化ニオブの混合物からなる膜により積層膜を形成する方法も同様に低コストとなる。ペンタエトキシタンタルとペンタエトキシニオブのカクテル原料はペンタエトキシニオブのみの原料より、混ぜなければならぬ等、取り扱いに若干の手間がかかるが、異なる原料ガスにより積層膜を形成する場合よりは製造工程が複雑とならないからである。

【0119】なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0120】（実施例5）発明の実施例5を図5で説明する。これは、五酸化ニオブの積層膜からなる誘電体膜を用いたMIMキャパシタである。例えば、このMIMキャパシタは、図1に示した半導体記憶装置、特にDRAM、のキャパシタに適用できるものである。図5中の下部電極206、五酸化ニオブ膜207、五酸化ニオブ膜208、上部電極209は図1中の下部電極29、五酸化ニオブ膜30、五酸化タンタル膜31、上部電極32の部分に対応するものである。

【0121】まず、下部電極の形成までの工程について、図5(a)を用いて説明する。シリコン酸化膜からなるプラグ部層間絶縁膜201の内部にバリアメタルであるプラグ203を形成する。プラグ203は、下部電極206と多結晶シリコンからなるプラグ202との反応を抑制するために必要なものである。これにより、プラグ203とプラグ202との間に、導通を阻害する物

質、例えばシリコン酸化物の形成を抑制して、情報蓄積用容量素子とメモリセル選択用MISFETとの接続を良好に維持することができる。プラグ203は、プラグ部層間絶縁膜201及びプラグ202の上部に、例えば窒化チタン膜をスパッタリング法あるいはCVD法により堆積し、これをエッチバックしてプラグ202の上部に残すことによって形成する。エッチバックに代えて、CMP法によって窒化チタン膜を研磨して除去してもよい。なお、プラグ203は、前記窒化チタン膜等の金属化合物に限らず、アルミを添加した窒化チタンや窒化タンタル、シリコンを添加した窒化タンタル、などにより構成してもよい。

【0122】その後、シリコン窒化膜204とシリコン酸化膜からなるキャパシタ部層間絶縁膜205を形成し、プラグ203が露出するようにキャパシタ部層間絶縁膜205とシリコン窒化膜204に溝を形成する。キャパシタ部層間絶縁膜205は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いるプラズマCVD法によって形成する。また、溝はフォトリソ膜をマスクとしたエッチングにより加工する。

【0123】次に、ルテニウムからなる下部電極206を堆積する。まず、スパッタリング法によって、基板の全面に、膜厚が50nmのルテニウム膜を堆積する。スパッタリング法は段差被覆性に乏しいため、溝の内部には数nmのルテニウム膜しか形成されない。このスパッタリング法によるルテニウム膜を種層として、CVD法によって、基板の全面に、膜厚が20nmのルテニウム膜を形成する。このCVD法によるルテニウム膜は、有機金属錯体Ru(C₂H₄C₂H₅)₂(ビスエチルシクロペンタジエニルルテニウム)を(C₂H₄)₂O(テトラヒドロフラン)に0.1mol/lの濃度で溶解した溶液を液体搬送して形成する。基板と対面するシャワーヘッド内で、液体原料を酸素ガスおよび窒素ガスと混合し、基板に吹きつける。形成温度は290℃、圧力は5Torrである。ここで、後の熱処理によってルテニウム膜が変形するのを防ぐために、焼き締めておくことが望ましい。具体的には、不活性雰囲気中、例えばアルゴン中で、700℃、1分間の熱処理を行えばよい。

【0124】次に、基板の全面に絶縁膜(図示せず)を堆積する。絶縁膜は、溝への埋め込み性およびキャパシタ部層間絶縁膜205とのエッチング選択性を考慮してSOG膜とすることが好ましい。ここで、溝の内部を除くキャパシタ部層間絶縁膜205上のルテニウム膜を除去する。これらの除去にはエッチバック法あるいはCMP法を用いることができる。溝の内部に残存する絶縁膜(図示せず)はウェットエッチングにより除去することが可能である。このようにしてルテニウムからなる下部電極206が形成される(図5(a))。

【0125】次に、基板の全面に膜厚が5nm以下の五

酸化ニオブ膜 207 を堆積する (図 5 (b))。五酸化ニオブ膜 207 の堆積は、例えばペンタエトキシニオブ ($\text{Nb}(\text{C}_2\text{H}_5\text{O})_5$) を含むガスを原料ガスとし、500℃以下の減圧状態 (例えば 400mTorr) における CVD 法により形成できる。また、例えばペンタエトキシニオブと酸化剤 (例えば H_2O) を交互に供給する原子層 CVD 法によって形成することもできる。

【0126】五酸化ニオブは結晶化温度が低いため、膜の形成直後に五酸化ニオブ膜は部分的に結晶化するが、十分な誘電特性を得るためにはさらに結晶化のための熱処理が必要である。また、有機化合物原料から炭素が膜中に多く混入しており、リーク電流増加等の電気的特性に悪影響を及ぼすので、五酸化ニオブ膜 207 を酸化熱処理する必要がある。ここでは、結晶化熱処理と酸化熱処理を同時に行う。この熱処理は、下部電極及びバリアメタルが酸化しない温度の目安である 700℃以下の温度で行われ、良好な多結晶構造を持つ五酸化ニオブ膜を得るために五酸化ニオブが十分に結晶化する目安である 500℃以上の温度で行われることが望ましい。例えば、酸素や一酸化二窒素ガス雰囲気中、処理温度 500℃～700℃、処理時間 1分～10分の条件を例示できる。

【0127】この熱処理によって、五酸化ニオブ膜 207 の結晶性の向上により誘電率が増加し、膜中の炭素量の減少によりリーク電流は減少する。

【0128】次に、基板の全面に膜厚が 5nm 以下の五酸化ニオブ膜 208 を堆積する (図 5 (c))。五酸化ニオブ膜 208 の堆積は、前述した五酸化ニオブ膜 207 の堆積と同様の条件で形成すればよい。

【0129】次に、五酸化ニオブ膜 208 に熱処理を行う。この熱処理は、前述した五酸化ニオブ膜 207 の熱処理と同様の条件で行えばよい。

【0130】次に、五酸化ニオブ膜 208 上に窒化チタン膜を例えば CVD 法により堆積し、その窒化チタン膜上にフォトリソ膜を形成し、このフォトリソ膜をマスクとして窒化チタン膜、五酸化ニオブ膜 208 及び五酸化ニオブ膜 207 をエッチングして容量絶縁膜および上部電極 209 を形成する (図 5 (d))。

【0131】このようにして、ルテニウムからなる下部電極 206、五酸化ニオブ膜 207 と五酸化ニオブ膜 208 の積層膜からなるキャパシタ誘電体膜、および窒化チタンからなる上部電極 209 で構成される情報蓄積用容量素子を形成できる。例えば、この情報蓄積用容量素子を DRAM メモリセル選択用 MISFET と直列に接続することで DRAM のメモリセルが構成できる。

【0132】なお、下部電極 206 を構成する材料としては、ルテニウム膜に代えて、白金膜、あるいは銅膜とすることができる。また、上部電極 209 を構成する材料としては、窒化チタン膜に代えて、タングステン膜、あるいはルテニウム膜とすることができる。ルテニウム

からなる上部電極の場合は、下部電極 206 と同様の条件で形成すればよい。

【0133】本実施例 5 によれば、キャパシタ誘電体膜として五酸化ニオブ膜を用いるため、キャパシタ誘電体膜の結晶化に要する熱処理温度を低温化でき、プラグ 203 の酸化による導通不良を回避できる。また、キャパシタ誘電体膜を積層膜により構成し、誘電体膜中の結晶粒界を分断することで、リーク電流を低減することができる。その積層膜を構成する五酸化ニオブ膜の膜厚を 5nm 以下にすることで、酸化熱処理の効率を良くし残留炭素を低減でき、膜のストレスが低減し、膜密度が向上し、モフォロジが改善される結果として、上部電極 209 と下部電極 206 との間のリーク電流をさらに低減し、DRAM のリフレッシュ特性を改善できる。

【0134】ここでは、膜厚 5nm 以下である五酸化ニオブ膜と膜厚 5nm 以下である五酸化ニオブ膜を 2 段階で形成したが、これに限らず、例えばキャパシタ誘電体膜の総膜厚一定の条件において、各層全てが薄ければ最大の効果が得られるが、膜厚 5nm 以下の五酸化ニオブ膜の上に膜厚 5nm より厚い五酸化ニオブ膜を形成する、もしくは膜厚 5nm より厚い五酸化ニオブ膜の上にも、膜厚 5nm 以下である五酸化ニオブ膜を形成しても、上記の結晶粒界の分断によるリーク電流低減の効果と膜厚が薄いことによるリーク電流低減の効果を得ることができる。

【0135】また、誘電体膜は 2 段階形成に限る必要は無く、3 段階以上で形成し、1 層当たりの膜厚を薄くすることで、結晶粒界の分断によるリーク電流低減の効果と残留炭素減少によるリーク電流低減の効果を大きくすることができる。ただし、形成する段数が多くなるとプロセスコストが増大するため、3 段階以下とするのが望ましい。

【0136】実施例 5 において、キャパシタ誘電体膜に使用した五酸化ニオブ膜に代えて、五酸化ニオブと五酸化タンタルの混合物からなる膜を用いることもできる。その効果を得るためのニオブとタンタルの組成比は、キャパシタに要求される仕様に依じて任意に選択すればよいが、誘電体膜の結晶化温度を下部電極及びバリアメタルが酸化しない低温の目安である 700℃以下とするためには、下層の膜中のニオブに対するタンタルの組成比を 90% 以下とする必要がある。

【0137】なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0138】(実施例 6) 発明の実施例 6 を図 6 で説明する。これは、五酸化ニオブの積層膜からなる誘電体膜を用いて、多結晶シリコンを下部電極に用いる MIS キャパシタを形成する工程である。例えば、この MIS キャパシタは、図 2 に示した半導体記憶装置、特に DRA

M、のキャパシタに適用できるものである。図6中の下部電極210、五酸化ニオブ膜207、五酸化ニオブ膜208、上部電極209は図2の下部電極29、五酸化ニオブ膜30、五酸化タンタル膜31、上部電極32の部分に対応するものである。

【0139】まず、シリコン酸化膜からなるプラグ部層間絶縁膜201の内部にプラグ202を形成する。プラグ202は、N型不純物（例えばP（リン））をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール内部に残すことにより形成する。エッチバックに代えて、CMP法により多結晶シリコン膜を研磨して除去してもよい。

【0140】その後、実施例5と同様に、シリコン窒化膜204とキャパシタ部層間絶縁膜205を形成し、プラグ202が露出するようにシリコン窒化膜204とキャパシタ部層間絶縁膜205に溝を形成する。

【0141】次に、膜厚20nmの導電性非晶質シリコン層を溝の内面およびキャパシタ部層間絶縁膜205の上面に渡って形成し、フォトリソグラフィ法およびドライエッチング法によりキャパシタ部層間絶縁膜205の上面の非晶質シリコン層を除去して、深孔の内面にのみ非晶質シリコン層を残す。溝内表面にシリコンの種付けをした後、630℃で熱処理して結晶化すると同時に表面を凹凸化して多結晶シリコンからなる下部電極210を形成する（図6（a））。

【0142】次に、多結晶シリコンからなる下部電極210の表面にPH₃を用いてPをドーブした後、NH₃熱処理して表面に窒化シリコン膜を形成する。膜厚は2nm程度と非常に薄いため、図6中には図示していない。このシリコン窒化膜は、誘電体膜の形成時および熱処理時に、下部電極の多結晶シリコンが酸化されるのを抑制する効果がある。

【0143】次に、基板の全面に膜厚が5nmの五酸化ニオブ膜207を堆積する（図6（b））。五酸化ニオブ膜207の堆積は、実施例5と同様に行う。さらに、実施例5と同様に、五酸化ニオブ膜207に熱処理を行う。

【0144】次に、五酸化ニオブ膜207上に五酸化ニオブ膜208を堆積する（図6（c））。五酸化ニオブ膜208の堆積は、実施例5と同様に行う。さらに、実施例5と同様に、五酸化ニオブ膜208に熱処理を行う。

【0145】この後の工程は、実施例5とほぼ同様である（図6（d））。

【0146】このようにして、多結晶シリコンからなる下部電極210、五酸化ニオブ膜207と五酸化ニオブ膜208の積層膜からなる容量絶縁膜、および窒化チタンからなる上部電極209で構成される情報蓄積用容量素子を形成できる。これにより、メモリセル選択用MI

SFETとこれに直列に接続された情報蓄積用容量素子とで構成されるDRAMのメモリセルが完成する。本実施例6によれば、キャパシタ誘電体膜として五酸化ニオブ膜を用いるため、キャパシタ誘電体膜の結晶化に要する熱処理温度を低温化でき、多結晶シリコンからなる下部電極210の酸化による容量低下を回避できる。また、キャパシタ誘電体膜を積層膜により構成し、誘電体膜中の結晶粒界を分断することで、リーク電流を低減することができる。その積層膜を構成する五酸化ニオブ膜の膜厚を5nm以下にすることで、酸化熱処理の効率を良くし残留炭素を低減でき、膜のストレスが低減し、膜密度が向上し、モフォロジが改善される結果として、上部電極209と下部電極210との間のリーク電流をさらに低減し、DRAMのリフレッシュ特性を改善できる。

【0147】ここでは、膜厚5nm以下である五酸化ニオブ膜と膜厚5nm以下である五酸化ニオブ膜を2段階で形成したが、これに限らず、例えばキャパシタ誘電体膜の総膜厚一定の条件において、各層全てが薄ければ最大の効果が得られるが、膜厚5nm以下の五酸化ニオブ膜の上に膜厚5nmより厚い五酸化ニオブ膜を形成する、もしくは膜厚5nmより厚い五酸化ニオブ膜の上にも、膜厚5nm以下である五酸化ニオブ膜を形成しても、上記の結晶粒界の分断によるリーク電流低減の効果と膜厚が薄いことによるリーク電流低減の効果を得ることができる。

【0148】また、誘電体膜は2段階形成に限る必要は無く、3段階以上で形成し、1層当たりの膜厚を薄くすることで、結晶粒界の分断によるリーク電流低減の効果と残留炭素減少によるリーク電流低減の効果を大きくすることができる。ただし、形成する段数が多くなるとプロセスコストが増大するため、3段階以下とするのが望ましい。

【0149】実施例6において、キャパシタ誘電体膜に使用した五酸化ニオブ膜に代えて、五酸化ニオブと五酸化タンタルの混合物からなる膜を用いることもできる。その効果を得るためのニオブとタンタルの組成比は、キャパシタに要求される仕様に応じて任意に選択すればよいが、誘電体膜の結晶化温度を下部電極及びバリアメタルが酸化しない低温の目安である700℃以下とするためには、下層の膜中のニオブに対するタンタルの組成比を40%以下とする必要がある。このタンタルの組成比の上限が発明の実施例5で示したものよりも小さい理由は、シリコン上ではルテニウム上に比べて、タンタルの添加によって結晶化温度が増大する効果が大きいためである。

【0150】実施例3において、ゲート絶縁膜を基板とゲートで挟んだ部分は、MIS構造のキャパシタとなっており、そのキャパシタの部分に発明の実施例6によるキャパシタを適用し、そのキャパシタによる効果を奏す

ることができる。

【0151】なお、本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0152】（実施例7）発明の実施例7を図7で説明する。これは、五酸化ニオブ膜の積層からなる誘電体膜を用いて、多結晶シリコンを下部電極に用いるMISキャパシタを形成する工程である。例えば、このMISキャパシタは、図2に示した半導体記憶装置、特にDRAM、のキャパシタに適用できるものである。図7中の下部電極210、五酸化ニオブ膜207、五酸化ニオブ膜208、上部電極209は図2の下部電極29、五酸化ニオブ膜30、五酸化タンタル膜31、上部電極32の部分に対応するものである。ただし、下部電極の外側の側壁の一部をキャパシタとして利用する点が発明の実施例2と異なる。

【0153】まず、シリコン酸化膜からなるプラグ部層間絶縁膜201の内部にプラグ202を形成する。プラグ202の形成は、実施例6と同様の方法で行えばよい。

【0154】その後、シリコン窒化膜204、キャパシタ部層間絶縁膜205、シリコン窒化膜211、シリコン酸化膜212を順次形成し、フォトレジスト膜をマスクとしたエッチングによりプラグ202が露出するように溝を形成する。

【0155】次に、膜厚20nmの導電性非晶質シリコン層を溝の内面およびシリコン酸化膜212の上面に渡って形成する（図7（a））。ここで、熱処理によって非晶質シリコン層を結晶化させ、多結晶シリコンを形成する。この結晶化熱処理は、非晶質シリコン層を円筒型に加工した後に行ってもよい。

【0156】次に、基板の全面にシリコン酸化膜213を堆積する。シリコン酸化膜は、溝への埋め込み性を考慮してSOG膜とすることが好ましい。ここで、溝の内部を除くシリコン酸化膜212上の多結晶シリコン膜を除去する。これらの除去にはエッチバック法あるいはCMP法を用いることができる（図7（b））。

【0157】ここで、溝の内部に残存するシリコン酸化膜213と、溝の外部のシリコン酸化膜212をウェットエッチングにより除去する。なお、シリコン窒化膜211がエッチングストッパーになるため、キャパシタ部層間絶縁膜205は除去されない。このようにして多結晶シリコンからなる円筒型の下部電極210が形成される（図7（c））。

【0158】次に、 NH_3 熱処理によって、多結晶シリコンからなる下部電極210の表面に窒化シリコン膜を形成する。膜厚は2nm程度と非常に薄いため、図7中には図示していない。このシリコン窒化膜は、誘電体膜の形成時および熱処理時に、下部電極の多結晶シリコン

が酸化されるのを抑制する効果がある。

【0159】次に、基板の全面に膜厚が5nm以下の五酸化ニオブ膜207を堆積する。五酸化ニオブ膜207の堆積は、実施例5と同様に行う。さらに、実施例5と同様に、五酸化ニオブ膜207に熱処理を行う。

【0160】次に、五酸化ニオブ膜207上に、膜厚が5nm以下の五酸化ニオブ膜208を堆積する。五酸化ニオブ膜208の堆積は、実施例5と同様に行う。さらに、実施例5と同様に、五酸化ニオブ膜208に熱処理を行う。

【0161】この後の工程は、実施例5とほぼ同様である（図7（d））。

【0162】このようにして、多結晶シリコンからなる下部電極210、五酸化ニオブ膜207と五酸化ニオブ膜208の積層膜からなる容量絶縁膜、および窒化タンからなる上部電極209で構成される情報蓄積用容量素子を形成できる。これにより、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とで構成されるDRAMのメモリセルが完成する。

【0163】なお、容量絶縁膜を構成する材料や形成段数の範囲については、実施例6で述べた内容と同様であるため、ここでは省略する。

【0164】また、本実施の效果についても、実施例6で述べた内容とほぼ同様であるが、下部電極の外側にも誘電体膜を形成しているため、キャパシタ容量が大きい。

【0165】本実施例7によれば、キャパシタ誘電体膜として五酸化ニオブ膜を用いるため、キャパシタ誘電体膜の結晶化に要する熱処理温度を低温化でき、多結晶シリコンからなる下部電極210の酸化による容量低下を回避できる。また、キャパシタ誘電体膜を積層膜により構成し、誘電体膜中の結晶粒界を分断することで、リーク電流を低減することができる。その積層膜を構成する五酸化ニオブ膜の膜厚を5nm以下にすることで、酸化熱処理の効率を良くし残留炭素を低減でき、膜のストレスが低減し、膜密度が向上し、モフォロジが改善される結果として、上部電極209と下部電極210との間のリーク電流をさらに低減し、DRAMのリフレッシュ特性を改善できる。

【0166】ここでは、膜厚5nm以下である五酸化ニオブ膜と膜厚5nm以下である五酸化ニオブ膜を2段階で形成したが、これに限らず、例えばキャパシタ誘電体膜の総膜厚一定の条件において、各層全てが薄ければ最大の効果が得られるが、膜厚5nm以下の五酸化ニオブ膜の上に膜厚5nmより厚い五酸化ニオブ膜を形成すると、もしくは膜厚5nmより厚い五酸化ニオブ膜の上に、膜厚5nm以下である五酸化ニオブ膜を形成しても、上記の結晶粒界の分断によるリーク電流低減の效果と膜厚が薄いことによるリーク電流低減の效果を得ることができる。

【0167】また、誘電体膜は2段階形成に限る必要は無く、3段階以上で形成し、1層当たりの膜厚を薄くすることで、結晶粒界の分断によるリーク電流低減の効果と残留炭素減少によるリーク電流低減の効果を大きくすることができる。ただし、形成する段数が多くなるとプロセスコストが増大するため、3段階以下とするのが望ましい。

【0168】実施例7において、キャパシタ誘電体膜に使用した五酸化ニオブ膜に代えて、五酸化ニオブと五酸化タンタルの混合物からなる膜を用いることもできる。その効果を得るためのニオブとタンタルの組成比は、キャパシタに要求される仕様に応じて任意に選択すればよいが、誘電体膜の結晶化温度を下部電極及びバリアメタルが酸化しない低温の目安である700℃以下とするためには、下層の膜中のニオブに対するタンタルの組成比を40%以下とする必要がある。このタンタルの組成比の上限が発明の実施例5で示したものよりも小さい理由は、シリコン上ではルテニウム上に比べて、タンタルの添加によって結晶化温度が増大する効果が大きいためである。

【0169】なお、本発明によれば、上述の実施例に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。

【0170】（実施例8）発明の実施例8を図8で説明する。これは、五酸化ニオブの積層からなる誘電体膜を用いて、例えばRFアナログデバイスとCMOSロジックデバイスをワンチップ内に集積する際に有効である平面型のMIMキャパシタを形成する工程である。

【0171】まず、銅（Cu）からなる下部電極214を形成する。Cuは拡散係数が大きいので、誘電体膜を形成する前に、Ta₂Nなどのバリア層215を形成する必要がある（図8（a））。

【0172】次に、基板の全面に膜厚が5nm以下の五酸化ニオブ膜207を堆積する（図8（b））。五酸化ニオブ膜207の堆積は、実施例5と同様に行う。さらに、実施例5と同様に、五酸化ニオブ膜207に熱処理を行う。

【0173】次に、五酸化ニオブ膜207上に、膜厚が5nm以下の五酸化ニオブ膜208を堆積する（図8（c））。五酸化ニオブ膜208の堆積は、実施例5と同様に行う。さらに、実施例5と同様に、五酸化ニオブ膜208に熱処理を行う。

【0174】次に、Ta₂Nなどのバリア層216を形成した後、Cuからなる上部電極217を形成する。

【0175】このようにして、Cuからなる下部電極214、五酸化ニオブ膜207と五酸化ニオブ膜208の積層膜からなる容量絶縁膜、およびCuからなる上部電極217で構成される情報蓄積用容量素子を形成できる。キャパシタの面積を規定するためにはそれぞれの層

を加工する必要があるが、その工程は求められる形状に応じて任意に選択すればよい。

【0176】本実施例8によれば、容量絶縁膜として五酸化ニオブ膜を用いるため、容量絶縁膜の結晶化に要する熱処理温度を低温化できる。また、多結晶化した五酸化ニオブ膜を2段階で形成することにより、結晶性が高く、膜中の炭素量が少ない五酸化ニオブ膜を形成できる。その結果、耐熱性の低いCu電極上においても誘電率の大きい容量絶縁膜が得られるため、情報蓄積用容量素子の蓄積電荷量を増大できる。また、上部電極217と下部電極214との間のリーク電流を低減できる。

【0177】なお、本実施例8のような平面キャパシタでは、五酸化ニオブ膜の形成方法として、CVD法ではなくスパッタリング法を用いることも十分考えられる。例えば、ニオブ金属ターゲットを用いて、アルゴンと酸素の混合雰囲気中でスパッタリングすればよい。スパッタリング法では、有機金属化合物原料を用いないため、五酸化ニオブ膜中に炭素は混入せず、結晶化温度を低温化する効果はあるが、膜中の残留炭素を低減する効果は有しない。しかし、多段階形成により、五酸化ニオブ膜のリークパスとなる結晶粒界が分断されるため、キャパシタのリーク電流が低減できる。また、多段階形成し、一層当たりの膜厚を薄くすることで、五酸化ニオブ膜のストレスが低減し、密度が向上し、モフォロジが改善され、リーク電流の低減に寄与する。

【0178】本実施例8では、容量絶縁膜を構成する材料として五酸化ニオブを用いたが、五酸化ニオブに代えて、五酸化ニオブと五酸化タンタルの固溶体を用いてもよい。ニオブとタンタルの組成比は、キャパシタに要求される仕様に応じて任意に選択すればよいが、誘電体膜の結晶化温度を下部電極及びバリアメタルが酸化しない低温の目安である700℃以下とするためには、ニオブに対するタンタルの組成比を90%以下とする必要がある。

【0179】また、誘電体膜は2段階形成に限る必要は無く、3段階以上で形成することで、結晶粒界の分断によるリーク電流低減の効果を大きくすることができる。ただし、形成する段数が多くなるとプロセスコストが増大するため、3段階以下とするのが望ましい。五酸化ニオブ膜の代わりに五酸化ニオブと五酸化タンタルの混合物からなる膜を用いる場合でも同様である。

【0180】本発明によれば、上述の実施形態に限らず、本願明細書の課題を解決する手段の欄にあげた各種手段がそれぞれ適用可能であることはいうまでもない。例えば、キャパシタ誘電体膜に実施例1の誘電体膜を用いて、その誘電体膜による効果を奏することができる。実施例8のMIM構造における下部電極をシリコンとし、MIS構造としても、熱処理温度が低く、リーク電

流の少ないキャパシタを構成することができる。

【0181】(実施例9) 発明の実施例9は、RFアナログデバイスとCMOSロジックデバイスをワンチップ内に集積した半導体集積回路の1例であり、そのロジック部、アナログ部、メモリ部の断面構造図である。この発明の実施例9においては、図9の312、313、314が発明の実施例8のMIMキャパシタに対応したものとになっている。ここでは、CMOS構造を前提として説明するが、バイポーラトランジスタとCMOSとを混在したいわゆるBiCMOS構造などにも本発明を適用できることはもちろんである。図9では、一つのP型シリコン基板P-SUB上にロジック部、アナログ部、メモリ部が形成されている。一つのP型シリコン基板P-SUB内部には、Nウェル領域302、303、304が島状に形成され、さらにそれぞれのNウェル領域の中に、Nウェル領域305、306、307およびPウェル領域308、309、310が図のように形成されている。またNウェル領域305、306、307にはPMOSトランジスタ、Pウェル領域308、309、310にはNMOSトランジスタが形成され、トランジスタの隣接部にはNウェル、Pウェル領域への給電部が示されている。さらに、アナログ部には多結晶シリコン配線層315で形成した抵抗成分が示されており、その他にはゲート酸化膜328、シリサイド層326、サイドスペーサ327、シリコン窒化膜325等が図に示されている。

【0182】図9において、ロジック部のようにトランジスタをシリサイド化すると、拡散層領域におけるリーク電流が増加することがある。したがって、シリサイド化したトランジスタをメモリセルに利用すると、メモリセルのデータ保持特性を悪化させる場合がある。このような場合は、図9のようにPウェル領域310に形成したNMOSトランジスタをシリサイド化せずにメモリセルを形成してもよい。また特に図示していないが、多結晶シリコン配線層315は、シリサイド化をしないと抵抗値が大きくなるので、多結晶シリコン配線315上にタングステンW等を積層した、いわゆるポリメタル構造としてもよい。さらに多結晶シリコン配線層315上だけを選択的にシリサイド化して、拡散層領域をシリサイド化しないトランジスタ構造としてもよい。もちろん、リーク電流が保持特性に悪影響を及ぼさない程度であれば、ロジック部のトランジスタと同様にシリサイドしてもよい。その場合、シリサイドさせないための追加マスクが不要となり、より低コスト化できる。

【0183】また、図9におけるウェル構造は、いわゆる3重ウェル構造であり、ロジック部、アナログ部、メモリ部をそれぞれNウェル領域302、303、304で分離している。これにより、ロジック部、アナログ部、メモリ部のそれぞれの領域は電氣的に分離できるので互いの干渉を避けることができ安定に動作すること

が可能となる。また、それぞれの動作電圧に適したNウェル、Pウェルの電位を設定できる。もちろん、このように3重ウェル構造が必要ない場合には、Nウェル領域302、303、304のないより単純な構成にしてもよいし、メモリ部のみ、あるいはメモリ部とアナログ部のみをNウェル領域303、304で分離する、あるいは2つの領域を同じNウェル領域で囲むなど必要に応じて種々の変形が可能である。

【0184】図9において、基板の上に示した破線は、金属配線層(320~324)とそのコンタクト層(316~319)の位置を示している。MIMキャパシタ312、313、314は、それぞれロジック部、アナログ部、メモリ部で利用されている。例えば、ロジック部では電源に接続される配線にキャパシタを設けることにより、電源の静電容量を増加させて電源を安定化することに利用できる。これをアナログ部やメモリ部にも使うことももちろん可能である。さらにアナログ部のキャパシタ素子や後述するようにメモリ部におけるメモリセルに応用することができる。

【0185】従来の1T1Cセルにおいては、下部電極としては耐熱性等に優れた多結晶シリコンが主に用いられ、上部電極としてはTiNなどの耐酸化性を有する金属を用いてメモリキャパシタを形成していた。したがって、ロジックで用いられる金属配線層を、キャパシタの電極に用いることは困難であった。本実施例のMIMキャパシタは、下部電極として例えば第3層の金属配線層322を利用する。下部電極を形成した後、積層膜からなるキャパシタ誘電体膜を形成してさらに上部電極を形成する。このとき上部電極は第4層の金属配線層323と配線層322の間のビアホール318の層に形成される。このように、キャパシタの下部電極に配線層を利用すれば、ロジック部、アナログ部、メモリ部におけるキャパシタの片方の電極形成において、特別なプロセスが不要となる。またメモリ部においては、従来の立体構造を有する1T1Cセルとは異なり、キャパシタが平面構造であるためロジックの金属配線層を容易に利用でき、さらに平面構造であることから加工が容易であり、歩留まり良くキャパシタを形成できる。また配線層としては、例えばAlやCuを主成分とする金属配線などを利用できる。図面には記載していないが、各配線層にバリアメタルを利用することもできる。バリアメタルとしては、TiN、Ta₂N等が挙げられる。

【0186】本実施例9では、単純な平面構造のキャパシタであるといったことから、加工が容易であるためプロセスコストが低減できる。さらに、配線層をMIMキャパシタの電極に利用することで、メモリ部、ロジック部、アナログ部のキャパシタを同様の構造、および同様の材料で形成、コスト低減、信頼性や歩留まりの向上が実現できる。また、高誘電体膜として、五酸化ニオブ膜の積層膜を利用するので、結晶化温度を下げることで

き、下部電極及びバリア金属の酸化を防ぐことができ、キャパシタ容量低下及び導通不良を回避できる。

【0187】ここでは、五酸化ニオブ膜の積層膜を有する平面キャパシタを用いたが、各実施例で示したような五酸化タンタルと五酸化ニオブの積層膜、又は $x < y$ の関係を保つ $(Ta_{1-x}Nb_x)_2O_5 / (Ta_{1-y}Nb_y)_2O_5$ 、又は五酸化ニオブの積層膜、又は五酸化タンタルと五酸化ニオブの混合物からなる積層膜を用いた平面キャパシタを適用しても、それぞれのキャパシタによる効果を奏することができる。

【0188】実施例9のキャパシタ312, 313, 314は平面構造であるが、実施例1, 2, 5, 6, 7の溝型構造のキャパシタを適用して、それぞれのキャパシタの効果を奏することができる。

【0189】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。以下、例をあげておく。

【0190】実施例1, 5, 8はそれぞれMIM構造を有するキャパシタであるため、各実施形態のキャパシタ誘電体膜はそれぞれ置き換えて用いることができ、それぞれの膜による効果を得ることができる。同様に、実施例2, 6, 7はそれぞれMIS構造であるため、各実施形態のキャパシタ誘電体膜はそれぞれ置き換えて用いることができ、それぞれの膜による効果を得ることができる。

【0191】実施例3のゲート絶縁膜を基板とゲートで挟んだ部分は、MIS構造のキャパシタとなっており、そのキャパシタの部分に他の実施例2, 6におけるキャパシタ誘電体膜を適用し、それぞれの誘電体膜による効果を奏することができる。

【0192】実施例3において説明したMISFETは、はあらゆる半導体装置、例えばSRAM、電気的書き換え可能な一括消去型の読み出し専用メモリ、例えばDRAMのメモリセル選択用MISFETや、周辺回路のMISFETに適用できる。

【0193】実施例1, 2, 5, 6, 7, 8のキャパシタは、DRAMだけではなく、DRAMを混載したあらゆる半導体装置、あるいは、キャパシタを有するあらゆる半導体装置に適用できる。

【0194】本実施例においては、実施例1, 2, 3, 4における五酸化タンタル膜と五酸化ニオブ膜との積層膜による例と、実施例5, 6, 7, 8において五酸化ニオブ膜どうしの積層膜による例を中心に説明したが、それぞれの実施形態において本明細書の課題を解決する手段の欄に記載した膜の組合せ、あるいは他の実施の形態で説明した膜の組合せを適宜適用できるものであり、それぞれに記載した効果を奏することができる。

【0195】

【発明の効果】本発明の代表的な実施形態によれば、キャパシタ絶縁膜の熱処理温度を低温化することができるので、多結晶シリコン下部電極の酸化による容量の低下(MIS構造)や、バリア金属の酸化によるコンタクト抵抗の増大(MIM構造)の抑制が可能となる。つまり、半導体容量素子の微細化による高集積化、工程簡略化および高信頼化による歩留まりの向上、等を実現することができる。さらに、五酸化タンタル単層に比べて誘電率を大きくすることが可能となる。これにより、信号量を増大させてデバイス動作の信頼性を向上させることが可能である。あるいは、キャパシタ高さを低減してプロセス負荷を低減することができる。

【0196】キャパシタ誘電体膜を積層膜により構成し、誘電体膜中の結晶粒界を分断することで、リーク電流を低減することができる。また、その積層膜を構成する絶縁膜の膜厚を薄くすることで、膜のストレスが低減し、膜密度が向上し、モフォロジが改善される結果として、さらにリーク電流を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施例1を説明する工程の縦断面図である。

【図2】本発明の実施例2を説明する工程の縦断面図である。

【図3】本発明の実施例3を説明する工程の縦断面図である。

【図4】本発明の実施例4を説明する工程の縦断面図である。

【図5】本発明の実施例5を説明する工程の縦断面図である。

【図6】本発明の実施例6を説明する工程の縦断面図である。

【図7】本発明の実施例7を説明する工程の縦断面図である。

【図8】本発明の実施例8を説明する工程の縦断面図である。

【図9】本発明の実施例8を用いた半導体集積回路のロジック部、アナログ部、メモリ部の断面構造図である。

【図10】MIM構造において、五酸化タンタル膜に添加するニオブの量が多いほど、結晶化温度が低温化し、同時に比誘電率が増大することを説明する図である。

【図11】MIS構造において、五酸化タンタル膜に添加するニオブの量が多いほど、結晶化温度が低温化し、同時に比誘電率が増大することを説明する図である。

【図12】五酸化タンタル膜に添加するニオブの量が多いほど、リーク電流密度が増大することを説明する図である。

【図13】五酸化タンタル膜と五酸化ニオブ膜の積層膜について、低温結晶化の効果を説明する図である。

【図14】五酸化タンタル膜と五酸化ニオブ膜との積層膜について、低リーク電流化の効果を説明する図であ

る。

【図15】五酸化ニオブ膜の多段階形成によるリーク電流の低減の効果を説明する図である。

【符号の説明】

1…半導体基板、2…溝、3…シリコン酸化膜、4…シリコン酸化膜、5…N型半導体領域、6…P型ウェル、7…ゲート酸化膜、8…ゲート電極、9…シリコン窒化膜、10…N型半導体領域、11…シリコン窒化膜、12…SOG膜、13…シリコン酸化膜、14…シリコン酸化膜、15…コンタクトホール、16…コンタクトホール、17…プラグ、18…シリコン酸化膜、19…シリコン窒化膜、20…TiSi₂層、21…サイドウォールスペーサ、22…SOG膜、23…シリコン酸化膜、24…シリコン酸化膜、25…スルーホール、26…プラグ、27…シリコン窒化膜、28…絶縁膜、29…下部電極、30…五酸化ニオブ膜、31…五酸化タンタル膜、32…上部電極、33…シリコン酸化膜、34…SOG膜、35…プラグ、36…第2層配線

101…半導体基板、102…溝、103…シリコン酸化膜、104…五酸化ニオブ膜、105…五酸化タンタル膜、106…ゲート電極、107…半導体領域、108…サイドウォールスペーサ、109…半導体領域、120…第1反応室、121…第2反応室、122…第3反応室、123…真空搬送室、124…ロードロック室、125…ロードロック室、126…

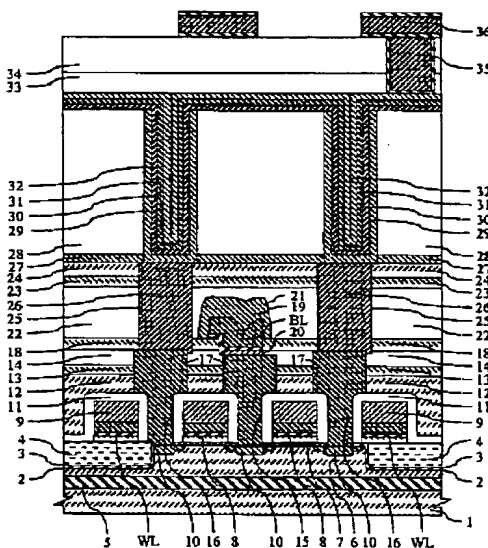
・カセット室、127…カセット室、128…ウェハ、129…ウェハ

201…プラグ部層間絶縁膜、202…プラグ、203…プラグ、204…シリコン窒化膜、205…キャパシタ部層間絶縁膜、206…下部電極、207…五酸化ニオブ膜、208…五酸化ニオブ膜、209…上部電極、210…下部電極、211…シリコン窒化膜、212…シリコン酸化膜、213…シリコン酸化膜、214…下部電極、215…バリア層、216…バリア層、217…上部電極

301…P型シリコン基板、302…Nウェル領域、303…Nウェル領域、304…Nウェル領域、305…Nウェル領域、306…Nウェル領域、307…Nウェル領域、308…Pウェル領域、309…Pウェル領域、310…Pウェル領域、311…素子分離酸化膜、312…MIMキャパシタ、313…MIMキャパシタ、314…MIMキャパシタ、315…多結晶シリコン配線層、316…ビアホール、317…ビアホール、318…ビアホール、319…ビアホール、320…第1層の金属配線層、321…第2層の金属配線層、322…第3層の金属配線層、323…第4層の金属配線層、324…第5層の金属配線層、325…シリコン窒化膜、326…シリサイド層、327…サイドスペーサ、328…ゲート酸化膜。

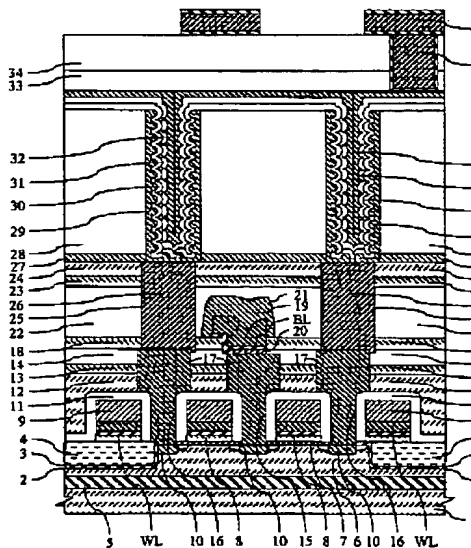
【図1】

図1



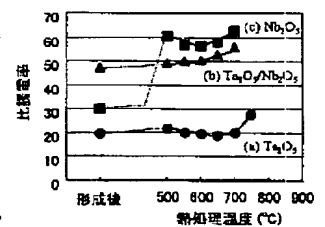
【図2】

図2

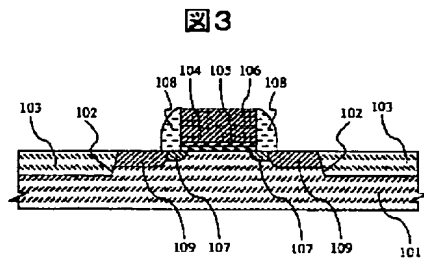


【図13】

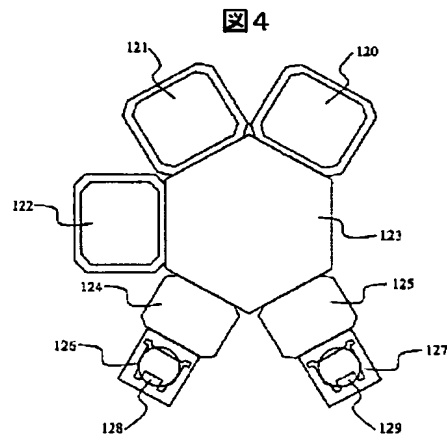
図13



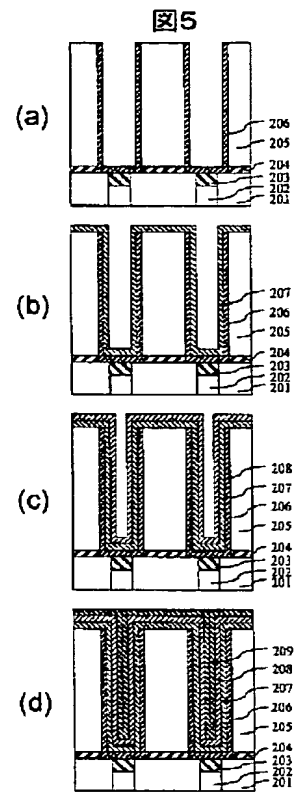
【図 3】



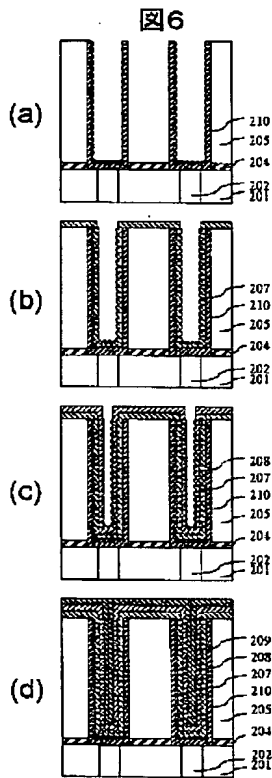
【図 4】



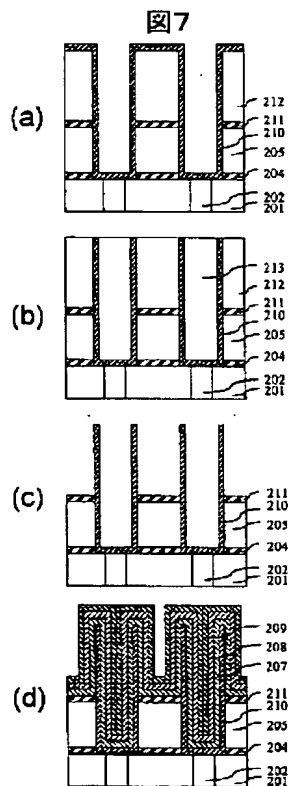
【図 5】



【図 6】

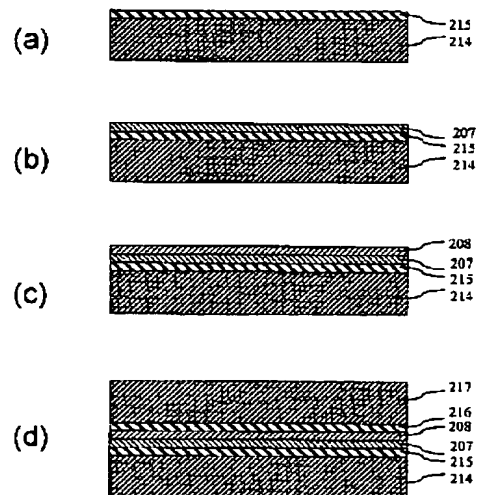


【図 7】



【図 8】

図 8

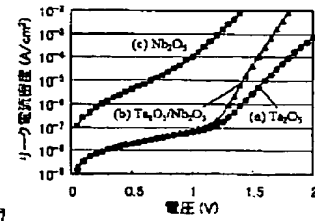
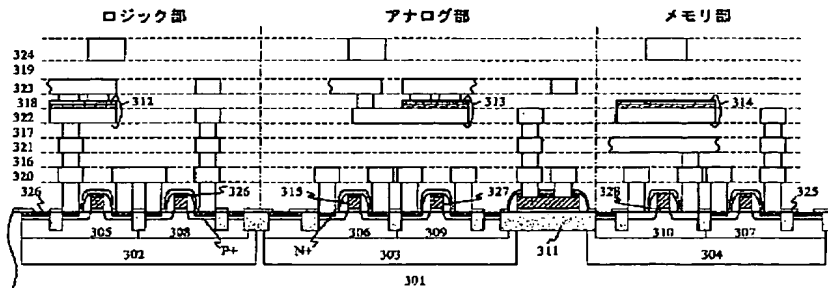


【図9】

【図14】

図9

図14

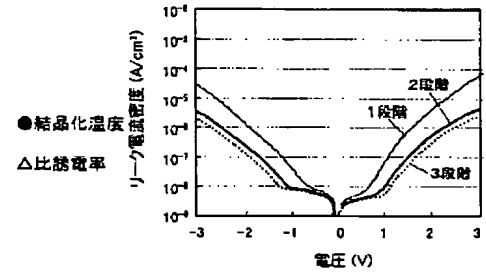
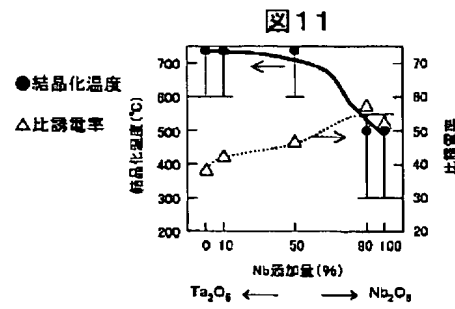
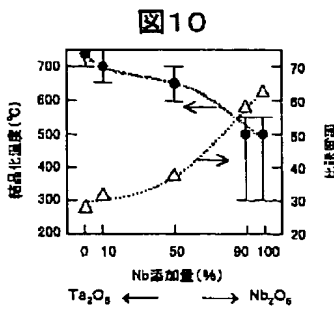


【図15】

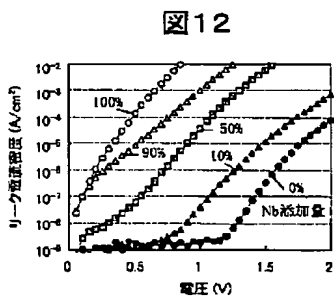
【図10】

【図11】

図15



【図12】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 27/06

H 0 1 L 27/04

C

27/108

29/78

F ターム (参考) 5F038 AC05 AC10 AC15 EZ14 EZ15
EZ20
5F048 AB01 AB03 AB10 AC03 AC05
AC10 BB05 BB08 BB09 BB12
BE02 BE03 BF06 DA25 DA27
DA30
5F058 BA11 BC20 BD01 BD05 BF02
BF27 BF29 BH01
5F083 AD02 AD10 AD24 AD31 AD48
AD49 AD60 AD62 GA06 GA29
HA01 HA02 JA02 JA05 JA06
JA35 JA36 JA38 JA39 JA40
JA56 KA05 MA03 MA06 MA16
MA17 MA20 NA01 PR10 PR12
PR21 PR23 PR29 PR33 PR39
PR40 PR46 PR56 ZA12
5F140 AA24 BD01 BD02 BD07 BD11
BD12 BE08 BE10 BE16 BF01
BF04 BF07 BF10 BG08 BG12
BG14 BG51 BG53 BH15 BK02
BK13 CB04